

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-260845

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 1/02		7350-5 J		
3/45	Z	7436-5 J		
3/72		7436-5 J		
H 0 3 G 3/30	C	7350-5 J		
		8941-5 J		
			H 0 3 K 19/ 00	1 0 1 K

審査請求 未請求 請求項の数 8 O L (全 36 頁) 最終頁に続く

(21)出願番号 特願平5-43966

(22)出願日 平成5年(1993)3月4日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000142470

株式会社九州富士通エレクトロニクス

鹿児島県薩摩郡入来町副田5950番地

(72)発明者 谷頭 正一

鹿児島県薩摩郡入来町副田5950番地 株式

会社九州富士通エレクトロニクス内

(72)発明者 中原 達郎

鹿児島県薩摩郡入来町副田5950番地 株式

会社九州富士通エレクトロニクス内

(74)代理人 弁理士 岡本 啓三

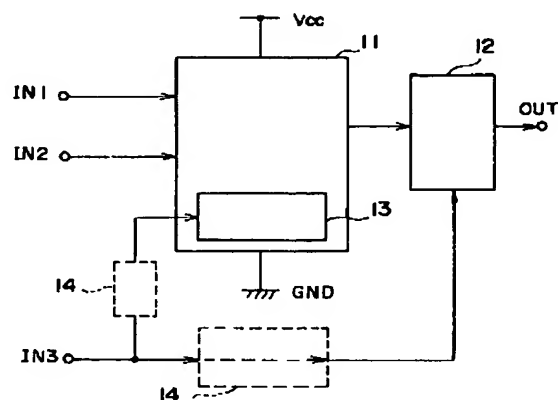
(54)【発明の名称】 差動入力型受信回路

(57)【要約】

【目的】 本発明は差動入力型受信回路の改善に関し、差動入力段とその出力段とに動作許可信号を供給して増幅出力機能を制御し、受信機能の停止状態時の消費電力を極力低減することを目的とする。

【構成】 2つの入力信号IN1、IN2の差動増幅をする差動増幅回路11と、差動増幅された信号レベルを動作許可信号IN3に基づいて出力する出力制御回路12とを具備し、差動増幅回路11に機能制御素子13が設けられ、機能制御素子13が動作許可信号IN3に基づいて差動増幅回路11の増幅機能を制御することを含み構成し、例えば、機能制御素子13がn型の電界効果トランジスタTNから成り、該トランジスタTNが差動増幅回路11に設けられた差動点cと定電流源I_oとの間に接続され、該トランジスタTNのゲートに動作許可信号IN3が供給されることを含み構成する。

本発明に係る差動入力型受信回路の原理図(その1)



11 ; 差動増幅回路

12 ; 出力制御回路

13 ; 機能制御素子

14 ; 遅延回路

IN1, IN2 ; 入力信号

IN3 ; 動作許可信号

【特許請求の範囲】

【請求項1】 2つの入力信号（IN1，IN2）の差動増幅をする差動増幅回路（11）と、前記差動増幅された信号レベルを動作許可信号（IN3）に基づいて出力する出力制御回路（12）とを具備し、前記差動増幅回路

（11）に機能制御素子（13）が設けられ、前記機能制御素子（13）が動作許可信号（IN3）に基づいて差動増幅回路（11）の増幅機能を制御することを特徴とする差動入力型受信回路。

【請求項2】 前記機能制御素子（13）がn型の電界効果トランジスタ（TN）から成り、前記n型の電界効果トランジスタ（TN）が差動増幅回路（11）に設けられた差動点（c）と定電流源（Io）との間に接続され、前記n型の電界効果トランジスタ（TN）のゲートに動作許可信号（IN3）が供給されることを特徴とする請求項1記載の差動入力型受信回路。

【請求項3】 前記機能制御素子（13）がバイアス供給制御回路（13A）から成り、前記バイアス供給制御回路（13A）が、差動増幅回路（11）の定電流源（Io）とバイアス回路（11A）との間に接続され、前記バイアス供給制御回路（13A）が動作許可信号（IN3）に基づいて制御されることを特徴とする請求項1記載の差動入力型受信回路。

【請求項4】 前記機能制御素子（13）がp型の電界効果トランジスタ（TP）及びn型の電界効果トランジスタ（TN）から成り、前記p型の電界効果トランジスタ（TP）が差動増幅回路（11）のカレントミラー回路（11B）の共通ゲートと高電位側の電源線（VCC）との間に接続され、前記n型の電界効果トランジスタ（TN）がカレントミラー回路（11B）の共通ゲート（G）と差動増幅回路（11）の一方の差動対トランジスタ（TN3又はTN4）のドレインに接続され、前記p型及びn型の電界効果トランジスタ（TP，TN）のゲートに動作許可信号（IN3）が供給されることを特徴とする請求項1記載の差動入力型受信回路。

【請求項5】 前記機能制御素子（13）が第1のスイッチング回路（13B）から成り、前記第1のスイッチング回路（13B）が差動増幅回路（11）の差動対トランジスタ（TN3，TN4）のゲートと低電位側の電源線（GND）と入力信号（IN1，IN2）の供給部との間に接続され、前記第1のスイッチング回路（13B）が、動作許可信号（IN3）及び該動作許可信号（IN3）の反転信号に基づいて制御されることを特徴とする請求項1記載の差動入力型受信回路。

【請求項6】 前記機能制御素子（13）が第2のスイッチング回路（13C）から成り、前記第2のスイッチング回路（13C）が差動増幅回路（11）の差動対トランジスタ（TN3，TN4）とカレントミラー回路（11C）との間に接続され、前記第2のスイッチング回路（13C）が、動作許可信号（IN3）又は動作許可信号（IN3）の

反転信号に基づいて制御されることを特徴とする請求項1記載の差動入力型受信回路。

【請求項7】 前記機能制御素子（13）がn型の電界効果トランジスタ（TN）又はp型の電界効果トランジスタ（TP）から成り、前記n型の電界効果トランジスタ（TN）又はp型の電界効果トランジスタ（TP）が差動増幅回路（11）の出力回路（11D）に接続され、前記n型の電界効果トランジスタ（TN）又はp型の電界効果トランジスタ（TP）が、動作許可信号（IN3）又は動作許可信号（IN3）の反転信号又は両信号の遅延信号に基づいて制御されることを特徴とする請求項1～5記載の差動入力型受信回路。

【請求項8】 前記出力制御回路（12）又は機能制御素子（13）に遅延回路（14）が接続され、前記遅延回路（14）が動作許可信号（IN3）を遅延することを特徴とする請求項1～7記載の差動入力型受信回路。

【発明の詳細な説明】

【0001】

〔目次〕

産業上の利用分野

従来の技術（図32）

発明が解決しようとする課題

課題を解決するための手段（図1～4）

作用

実施例

（1）第1の実施例（図5，6）

（2）第2の実施例（図7，8）

（3）第3の実施例（図9，10）

（4）第4の実施例（図11，12）

（5）第5の実施例（図13）

（6）第6の実施例（図14）

（7）第7の実施例（図15）

（8）第8の実施例（図16）

（9）第9の実施例（図17）

（10）第10の実施例（図18）

（11）第11の実施例（図19）

（12）第12の実施例（図20）

（13）第13の実施例（図21）

（14）第14の実施例（図22）

（15）第15の実施例（図23）

（16）第16の実施例（図24）

（17）第17の実施例（図25）

（18）第18の実施例（図26）

（19）第19の実施例（図27）

（20）第20の実施例（図28）

（21）第21の実施例（図29）

（22）第22の実施例（図30）

（23）第23の実施例（図31）

発明の効果

【0002】

3

【産業上の利用分野】本発明は、差動入力型受信回路に関するものであり、更に詳しく言えば、電話回線に接続される通信モデムの入力インターフェース回路に用いられる受信回路の改善に関するものである。近年、電話回線や専用回線等に接続して各種情報通信を行う電子機器の消費電力の低減化の要求に伴い、その通信モデムの入力インターフェース回路に使用される半導体集積回路（以下LSIという）装置も低消費電力化が要求されている。

【0003】これによれば、当該通信モデムの受信機能を停止／継続を切り換える3ステート回路が差動増幅回路の後段に接続され、イネーブル信号が3ステート回路のみに供給されている。このため、イネーブル信号により当該通信モデムの受信機能が停止されるものの、電話回線や専用回線の入力信号を受けて、差動増幅回路の構成トランジスタがON/OFF動作を継続し、受信機能の停止状態でも電力消費が発生し続ける。

【0004】そこで、差動増幅回路と3ステート回路とにイネーブル信号を供給して増幅出力機能を制御し、受信機能の停止状態時の消費電力を極力低減することができる回路が望まれている。

【0005】

【従来の技術】図32は、従来例に係る差動入力型受信回路の構成図である。例えば、電話回線や専用回線に接続される通信モデム等の入力インターフェース回路に見られるような差動入力型受信回路は、図32において、差動増幅回路1、3ステート回路2から成る。差動増幅回路1はn型の電界効果トランジスタTN1～TN4、p型の電界効果トランジスタTP1～TP3から成り、例えば、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、カレントミラー用トランジスタTP1、TP2、バイアス回路1B及びインパータ1Aから成る。なお、3ステート回路2は当該通信モデムの受信機能を停止／継続を切り換えるために接続される。

【0006】また、差動入力型受信回路の動作は、例えば、イネーブル信号IN3＝「H」（ハイ）レベルでON動作をし、当該通信モデムの受信機能を継続する。ここで、入力信号IN1、IN2の電圧関係がIN1＞IN2の時には、差動増幅回路1のa、b点の電位は $V_a < V_b$ となり、また、インパータ1Aの閾値電圧 V_{th} とa点の電位 V_a との関係が $V_{th} > V_a$ であれば、トランジスタTP3がON動作してe点は「H」レベルになる。

【0007】同様に、入力電圧がIN1＜IN2の時には、a、b点の電位関係が $V_a > V_b$ となり、また、インパータ1Aの閾値関係が $V_{th} < V_a$ であれば、トランジスタTN2がON動作してe点は「L」（ロー）レベルになる。この際に、バイアス回路1BからトランジスタTN1に、差動増幅回路1の動作電流を決定するゲート電圧が供給される。なお、イネーブル信号IN3＝「L」レベルで当該通信モデムの受信機能が停止、すなわち、3ステ

(3)

特開平6-260845

4

ート回路2がOFF動作をし、その出力部がハイ・インピーダンス状態（以下Z状態という）にされる。

【0008】

【発明が解決しようとする課題】ところで、従来例によれば、当該通信モデムの受信機能の停止／継続を切り換える3ステート回路2が差動増幅回路1の後段に接続され、イネーブル信号IN3が3ステート回路（以下出力制御回路ともいう）2のみに供給されている。このため、イネーブル信号（以下動作許可信号ともいう）IN3＝

「L」レベルにより、当該通信モデムの受信機能が停止するものの、入力信号IN1、IN2の電圧関係、IN1＞IN2及びIN1＜IN2を受けて、差動増幅回路1のトランジスタTP1、TP2、TN1、TN3、TN4がON/OFF動作をし続ける。

【0009】これにより、受信機能の停止状態でも電力消費が発生し続け、電話回線や専用回線等に接続して各種情報通信を行う電子機器の消費電力の低減化の妨げとなるという問題がある。本発明は、かかる従来例の問題点に鑑み創作されたものであり、差動入力段とその出力段とに動作許可信号を供給して増幅出力機能を制御し、受信機能の停止状態時の消費電力を極力低減することが可能となる差動入力型受信回路の提供を目的とする。

【0010】

【課題を解決するための手段】図1～4は、本発明に係る差動入力型受信回路の原理図（その1～4）をそれぞれ示している。本発明の第1の差動入力型受信回路は図1に示すように、2つの入力信号IN1、IN2の差動増幅をする差動増幅回路11と、前記差動増幅された信号レベルを動作許可信号IN3に基づいて出力する出力制御回路12とを具備し、前記差動増幅回路11に機能制御素子13が設けられ、前記機能制御素子13が動作許可信号IN3に基づいて差動増幅回路11の増幅機能を制御することを特徴とする。

【0011】なお、本発明の第1の差動入力型受信回路において、前記機能制御素子13がn型の電界効果トランジスタTNから成り、図2（A）に示すように、前記n型の電界効果トランジスタTNが差動増幅回路11に設けられた差動点cと定電流源I_oとの間に接続され、前記n型の電界効果トランジスタTNのゲートに動作許可信号IN3が供給されることを特徴とする。

【0012】また、本発明の第2の差動入力型受信回路は図2（B）に示すように、前記機能制御素子13がバイアス供給制御回路13Aから成り、前記バイアス供給制御回路13Aが、差動増幅回路11の定電流源I_oとバイアス回路11Aとの間に接続され、前記バイアス供給制御回路13Aが動作許可信号IN3に基づいて制御されることを特徴とする。

【0013】さらに、本発明の第3の差動入力型受信回路は前記機能制御素子13が図3（A）に示すように、p型の電界効果トランジスタTP及びn型の電界効果ト

5

ランジスタTNから成り、前記p型の電界効果トランジスタTPが差動増幅回路11のカレントミラー回路11Bの共通ゲートと高電位側の電源線VCCとの間に接続され、前記n型の電界効果トランジスタTNがカレントミラー回路11Bの共通ゲートと差動増幅回路11の一方の差動対トランジスタTN3又はTN4のドレインに接続され、前記p型及びn型の電界効果トランジスタTP、TNのゲートに動作許可信号IN3が供給されることを特徴とする。

【0014】また、本発明の第4の差動入力型受信回路は図3(B)に示すように、前記機能制御素子13が第1のスイッチング回路13Bから成り、前記第1のスイッチング回路13Bが差動増幅回路11の差動対トランジスタTN3、TN4のゲートと低電位側の電源線GNDと入力信号IN1、IN2の供給部との間に接続され、前記第1のスイッチング回路13Bが、動作許可信号IN3及び該動作許可信号IN3の反転信号に基づいて制御されることを特徴とする。

【0015】さらに、本発明の第5の差動入力型受信回路は図4(A)に示すように、前記機能制御素子13が第2のスイッチング回路13Cから成り、前記第2のスイッチング回路13Cが差動増幅回路11の差動対トランジスタTN3、TN4とカレントミラー回路11Cとの間に接続され、前記第2のスイッチング回路13Cが、動作許可信号IN3又は動作許可信号IN3の反転信号に基づいて制御されることを特徴とする。

【0016】また、本発明の第6の差動入力型受信回路は第1～第4の差動入力型受信回路において、図4

(B)に示すように、前記機能制御素子13がn型の電界効果トランジスタTN又はp型の電界効果トランジスタTPから成り、前記n型の電界効果トランジスタTN又はp型の電界効果トランジスタTPが差動増幅回路11の出力回路11Dに接続され、前記n型の電界効果トランジスタTN又はp型の電界効果トランジスタTPが、動作許可信号IN3又は動作許可信号IN3の反転信号又は両信号の遅延信号に基づいて制御されることを特徴とする。

【0017】さらに、本発明の第7の差動入力型受信回路は第1～第6の差動入力型受信回路において、図1に示すように、前記出力制御回路12又は機能制御素子13遅延回路14が接続され、前記遅延回路14が動作許可信号IN3を遅延することを特徴とし、上記目的を達成する。

【0018】

【作 用】本発明の第1の差動入力型受信回路によれば、図1に示すように差動増幅回路11及び出力制御回路12が具備され、機能制御素子13が差動増幅回路11に設けられ、該差動増幅回路11の増幅機能が動作許可信号IN3に基づいて制御される。

【0019】例えば、入力信号IN1、IN2を受信する場

6

合には、図2(A)に示すように、差動増幅回路11の差動点cと定電流源I_oとの間に接続されたn型の電界効果トランジスタTN(機能制御素子13)のゲートに動作許可信号IN3=「H」レベルを供給することにより、該トランジスタTNがON動作をし、差動増幅回路11の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。また、差動増幅された信号レベルが動作許可信号IN3=「H」レベルに基づいて出力制御回路12から内部回路に出力される。

【0020】さらに、入力信号IN1、IN2の受信停止(受信拒否)をする場合には、トランジスタTNのゲートに動作許可信号IN3=「L」レベルを供給することにより、該トランジスタTNがOFF動作をし、差動増幅回路11の増幅機能が停止され、同時に、動作許可信号IN3=「L」レベルに基づいて出力制御回路12の出力機能が停止される。

【0021】このため、動作許可信号IN3=「L」レベルにより、当該差動入力型受信回路の受信機能が停止されると共に、入力信号IN1、IN2の電圧関係がIN1>IN2及びIN1<IN2と変化する供給状態であっても、受信機能の停止状態における差動増幅回路11の電源線VCC-接地線GND間の電流経路がトランジスタTNにより遮断され、差動増幅回路11のトランジスタ動作を強制的に停止させることが可能となる。このことで、受信機能の停止状態時の差動増幅回路11の電力消費を極力抑制することが可能となる。

【0022】これにより、電話回線や専用回線等に接続して各種情報通信を行う電子機器に、当該差動入力型受信回路を組み込んだ場合に、その低消費電力化を図ることが可能となる。また、本発明の第2の差動入力型受信回路によれば、図2(B)に示すように、バイアス供給制御回路13Aが定電流源I_oとバイアス回路11Aとの間に接続される。

【0023】例えば、図2(B)において、入力信号IN1、IN2を受信する場合には、バイアス供給制御回路13Aに動作許可信号IN3=「H」レベルを供給することにより、該制御回路13Aが活性化をし、バイアス回路11Aと定電流源I_oとが接続され、差動増幅回路11の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。また、差動増幅された信号レベルが第1の差動入力型受信回路と同様に動作許可信号IN3=「H」レベルに基づいて出力制御回路12から内部回路に出力される。

【0024】さらに、入力信号IN1、IN2の受信停止をする場合には、バイアス供給制御回路13Aに動作許可信号IN3=「L」レベルを供給することにより、該制御回路13Aが非活性化をし、バイアス回路11Aと定電流源I_oとの間を非接続状態にし、差動増幅回路11の増幅機能が停止され、同時に、動作許可信号IN3=「L」レベルに基づいて出力制御回路12の出力機能が停止され

る。

【0025】このため、第1の差動入力型受信回路と同様に、動作許可信号IN3 = 「L」レベルにより、受信機能が停止されると共に、入力信号IN1, IN2が差動対トランジスタTN3, TN4に供給される状態であっても、受信停止時の差動増幅回路11のトランジスタ動作を強制的に停止することが可能となる。これにより、第1の差動入力型受信回路と同様に受信機能の停止状態時の差動増幅回路11の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

【0026】さらに、本発明の第3の差動入力型受信回路によれば、図3(A)に示すように、カレントミラー回路11Bの共通ゲートと高電位側の電源線VCCとの間にp型の電界効果トランジスタTPが接続され、その共通ゲートと差動増幅回路11の一方の差動対トランジスタTN3又はTN4のドレインとの間に、n型の電界効果トランジスタTNが接続され、両トランジスタTP, TNのゲートに動作許可信号IN3が供給される。

【0027】例えば、図3(A)において、入力信号IN1, IN2を受信する場合には、トランジスタTP, TNのゲートに動作許可信号IN3 = 「H」レベルを供給することにより、トランジスタTPがOFF動作をし、トランジスタTNがON動作をする。これにより、カレントミラー回路11Bが活性化をし、差動増幅回路11の増幅機能が維持され、入力信号IN1, IN2が差動増幅される。また、差動増幅された信号レベルが第1, 第2の差動入力型受信回路と同様に動作許可信号IN3 = 「H」レベルに基づいて出力制御回路12から内部回路に出力される。

【0028】さらに、入力信号IN1, IN2の受信停止をする場合には、トランジスタTP, TNのゲートに動作許可信号IN3 = 「L」レベルを供給することにより、トランジスタTPがON動作をし、トランジスタTNがOFF動作をする。これにより、カレントミラー回路11Bが非活性化をし、差動増幅回路11の増幅機能が停止され、同時に、動作許可信号IN3 = 「L」レベルに基づいて出力制御回路12の出力機能が停止される。

【0029】このため、第1, 第2の差動入力型受信回路と同様に、動作許可信号IN3 = 「L」レベルにより、受信機能が停止されると共に、入力信号IN1, IN2が差動対トランジスタTN3, TN4に供給される状態であっても、受信停止時の差動増幅回路11のトランジスタ動作を強制的に停止することが可能となる。これにより、第1, 第2の差動入力型受信回路と同様に受信停止時の差動増幅回路11の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

【0030】また、本発明の第4の差動入力型受信回路によれば、図3(B)に示すように、差動対トランジスタTN3, TN4のゲートと低電位側の電源線GNDと入力信

号IN1, IN2の供給部との間に第1のスイッチング回路13Bが接続され、該回路13Bが動作許可信号IN3及びその反転信号に基づいて制御される。例えば、図3(B)において、入力信号IN1, IN2を受信する場合には、第1のスイッチング回路13Bに動作許可信号IN3 = 「H」レベルを供給することにより、第1のスイッチング回路13BがON動作をし、入力信号IN1, IN2が差動対トランジスタTN3, TN4のゲートにそれぞれ供給され、両入力信号IN1, IN2が差動増幅される。また、差動増幅された信号レベルが第1～第3の差動入力型受信回路と同様に動作許可信号IN3 = 「H」レベルに基づいて出力制御回路12から内部回路に出力される。

【0031】さらに、入力信号IN1, IN2の受信停止をする場合には、第1のスイッチング回路13Bに動作許可信号IN3 = 「L」レベルを供給することにより、第1のスイッチング回路13BがOFF動作をし、差動対トランジスタTN3, TN4のゲートが低電位側に固定され、両入力信号IN1, IN2の供給が断たれ、差動増幅回路11の増幅機能が停止され、同時に、動作許可信号IN3 = 「L」レベルに基づいて出力制御回路12の出力機能が停止される。

【0032】このため、第1～第3の差動入力型受信回路と同様に、動作許可信号IN3 = 「L」レベルにより、受信機能が停止されると共に、差動対トランジスタTN3, TN4のゲートが「L」レベルに固定されることで、受信停止時における差動増幅回路11の増幅動作を停止することが可能となる。これにより、第1～第3の差動入力型受信回路と同様に受信停止時の差動増幅回路11の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

【0033】さらに、本発明の第5の差動入力型受信回路によれば、図4(A)に示すように、差動対トランジスタTN3, TN4とカレントミラー回路11Cとの間に第2のスイッチング回路13Cが接続され、該回路13Cが動作許可信号IN3又は動作許可信号IN3の反転信号に基づいて制御される。例えば、図4(A)において、入力信号IN1, IN2を受信する場合には、第2のスイッチング回路13Cに動作許可信号IN3 = 「H」レベルを供給することにより、第2のスイッチング回路13CがON動作をし、カレントミラー回路11Cと差動対トランジスタTN3, TN4とが接続され、差動増幅回路11の増幅機能が維持され、入力信号IN1, IN2が差動増幅される。また、差動増幅された信号レベルが第1～第4の差動入力型受信回路と同様に動作許可信号IN3 = 「H」レベルに基づいて出力制御回路12から内部回路に出力される。

【0034】さらに、入力信号IN1, IN2の受信停止をする場合には、第2のスイッチング回路13Cに動作許可信号IN3 = 「L」レベルを供給することにより、第2のスイッチング回路13CがOFF動作をし、カレントミラー

10

20

30

40

50

回路11Cと差動対トランジスタTN3、TN4との間が非接続状態にされ、差動増幅回路11の増幅機能が停止され、同時に、動作許可信号IN3＝「L」レベルに基づいて出力制御回路12の出力機能が停止される。

【0035】このため、第1～第4の差動入力型受信回路と同様に、動作許可信号IN3＝「L」レベル又はその反転信号により、受信機能が停止されると共に、第2のスイッチング回路13CがON動作をすることで、受信停止時における差動増幅回路11の増幅動作を停止することが可能となる。これにより、第1～第4の差動入力型受信回路と同様に受信停止時の差動増幅回路11の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

【0036】また、本発明の第6の差動入力型受信回路によれば、図2(A)、(B)、図3(A)、(B)に示すような差動入力型受信回路において、図4(B)に示すような差動増幅回路11の出力回路11Dに、n型の電界効果トランジスタTN又はp型の電界効果トランジスタTPが接続され、両トランジスタTN又はTPが、動作許可信号IN3又はその反転信号に基づいて制御される。

【0037】例えば、図2(A)において、入力信号IN1、IN2を受信する場合には、トランジスタTNに動作許可信号IN3＝「H」レベルを供給することにより、該トランジスタTNがON動作をし、差動増幅回路11の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。また、差動増幅された信号レベルが動作許可信号IN3＝「H」レベルに基づいて出力制御回路12から内部回路に出力される。

【0038】さらに、入力信号IN1、IN2の受信停止をする場合には、定電流源I_oと差動点cとの間に接続されたトランジスタTNのゲートに動作許可信号IN3＝「L」レベルを供給し、出力回路11Dに接続されたトランジスタTNに、動作許可信号IN3の反転信号＝「H」レベルを供給することにより、定電流源I_oに接続されたトランジスタTNがOFF動作をし、差動増幅回路11の増幅機能が停止され、同時に、出力回路11Dに接続されたトランジスタTNが動作許可信号IN3の遅延反転信号＝「H」レベルに基づいてON動作をすることで、出力回路11Dの入力部が「L」レベルに固定される。

【0039】このため、第1～第5の差動入力型受信回路に比べて動作許可信号IN3＝「L」レベルの反転信号により、受信機能が停止されると共に、出力回路11Dに接続されたトランジスタTNがON動作をすることで、受信停止時における差動増幅回路11の増幅動作を停止すること、及び、出力回路11Dの増幅動作を併せて停止させることが可能となる。

【0040】これにより、第1～第5の差動入力型受信回路に比べて、受信停止時の差動増幅回路11の電力消

費を、より一層抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。さらに、本発明の第7の差動入力型受信回路によれば、第1～第6の差動入力型受信回路において、図1に示すように出力制御回路12又は機能制御素子13に遅延回路14が接続され、該回路14により動作許可信号IN3が遅延される。

【0041】このため、本発明の第1～第5の差動入力型受信回路では、差動増幅回路11の機能制御素子13に対し、出力制御回路12よりも早く動作許可信号IN3が供給され、該差動増幅回路11の動作点aの電位レベルが出力回路11Dの閾値電圧V_{th}に達してから、動作許可信号IN3の遅延信号を出力制御回路12に供給することができる。

【0042】特に、出力回路11Dの入力部に接続されたn型の電界効果トランジスタTN又はp型の電界効果トランジスタTPのゲートに、動作許可信号IN3の遅延した信号を供給することにより、差動増幅回路11の動作点aの電位レベルが出力回路11Dの閾値電圧V_{th}に達してから、それを出力回路11Dに供給することができる。

【0043】これにより、当該差動入力型受信回路の受信停止状態から動作状態に移行する際に、差動増幅回路11が安定な動作に移移したのちに、出力ハイ・インピーダンス状態が解除され、より一層、安定した入力信号IN1、IN2を内部回路に取り込むことが可能となり、当該差動入力型受信回路を組み込んだ通信モデム用インタフェース回路等の信頼性の向上に寄与するところが多い。

【0044】

【実施例】次に、図を参照しながら本発明の各実施例について説明をする。図5～31は、本発明の実施例に係る差動入力型受信回路を説明する図である。

(1) 第1の実施例の説明

図5は、本発明の第1の実施例に係る差動入力型受信回路の構成図であり、図6は、その補足説明図をそれぞれ示している。

【0045】例えば、電話回線や専用回線に接続する通信モデム等において、その入力インターフェース回路に適用可能な差動入力型受信回路は、図5(A)に示すように、差動増幅回路11、3ステート回路12から成る。なお、差動入力型受信回路の論理シンボルを図6

(A)に示す。すなわち、差動増幅回路11は電話回線や専用回線に接続され、2つの入力信号IN1、IN2の差動増幅をし、その出力動作点aの信号レベルをインバータINV1に出力する。差動増幅回路11は定電流源用トランジスタ(以下単に定電流源I_oともいう)TN1、差動対トランジスタTN3、TN4、n型の電界効果トランジスタTN51、バイアス回路11A、カレントミラー回路11C及びインバータINV1から成る。

【0046】なお、定電流源用トランジスタTN1はn型

の電界効果トランジスタから成り、そのゲートがバイアス回路11Aに接続され、そのソースが接地線GNDに接続される。差動対トランジスタTN3, TN4はn型の電界効果トランジスタから成り、そのゲートに2つの入力信号IN1, IN2が供給される。また、両トランジスタTN3, TN4の各ドレインはカレントミラー回路11Cに接続され、その共通ソース接続点(差動点)cがn型の電界効果トランジスタTN51のドレインに接続される。

【0047】n型の電界効果トランジスタTN51は機能制御素子13の一例であり、差動対トランジスタTN3, TN4の差動点cと定電流源I_oとの間に接続され、トランジスタTN51のゲートに動作許可信号(以下イネーブル信号という)IN3が供給される。これにより、イネーブル信号IN3に基づいて差動対トランジスタTN3, TN4の動作電流を遮断し、当該差動増幅回路11の増幅機能を制御することができる。

【0048】また、バイアス回路11AはトランジスタTN1にゲート電圧を供給し、カレントミラー回路11Cは差動対トランジスタTN3, TN4の動作電流を調整する。カレントミラー回路11Cはp型の電界効果トランジスタTP1, TP2から成り、それらのソースが電源線VCCに接続され、その共通ゲートが差動対トランジスタTN4のドレインに接続される。インバータINV1は出力回路11Dの一例であり、電源線VCC, 接地線GND間に直列接続されたp型, n型の電界効果トランジスタTP3, TN2から成り、差動対トランジスタTN3のドレイン(出力動作点a)の信号レベルを反転増幅してそれを3ステート回路12に出力する。

【0049】なお、3ステート回路12は出力制御回路12の一例であり、差動増幅された信号レベルをイネーブル信号IN3に基づいて次段内部回路に出力する。3ステート回路12は、例えば、図6(B), (C)に示すようにn型, p型の電界効果トランジスタTN, TPを並列接続した回路とインバータINVを組み合わせたトランスファergeートから成る。

【0050】当該トランスファergeートの機能は、図6(B)に示すようにインバータINVをp型の電界効果トランジスタTPのゲート側に接続した場合には、イネーブル信号IN3=「H」レベルでON動作をし、反対に信号IN3=「L」レベルでOFF動作をし、出力ハイ・インピーダンス状態にする。なお、表1はイネーブル「L」の場合(動作条件)における入力信号IN1, IN2及びイネーブル信号IN3の入力真値に対する出力部OUTの出力真値を示している。

【0051】

【表1】

動作条件① イネーブル「L」の場合				
入 力			出 力	
IN1	IN2	IN3	e点	OUT
IN1 > IN2		H	H	H
IN1 < IN2		H	L	L
X	X	L	Z	Z

【0052】また、図6(C)に示すようにインバータINVをn型の電界効果トランジスタTNのゲート側に接続した場合には、イネーブル信号IN3=「L」レベルで当該トランスファergeートをON動作させ、反対に信号IN3=「H」レベルでOFF動作させ、出力ハイ・インピーダンス状態を維持する。なお、表2はイネーブル「L」の場合(動作条件)における入力信号IN1, IN2及びイネーブル信号IN3の入力真値に対する出力部OUTの出力真値を示している。

【0053】

【表2】

動作条件② イネーブル「H」の場合				
入 力			出 力	
IN1	IN2	IN3	e点	OUT
IN1 > IN2		L	H	H
IN1 < IN2		L	L	L
X	X	H	Z	Z

【0054】このようにして、本発明の第1の実施例に係る差動入力型受信回路によれば、図5に示すように、差動増幅回路11及び3ステート回路12が具備され、差動対トランジスタTN3, TN4の差動点cと定電流源I_oとの間にn型の電界効果トランジスタTN51が接続され、該トランジスタTN51のゲートがイネーブル信号IN3に基づいて制御される。

【0055】例えば、入力信号IN1, IN2を受信する場合には、図5(B)の動作説明図において、トランジスタTN51のゲートにイネーブル信号IN3=「H」レベルを供給することにより、該トランジスタTN51がON動作をし、差動増幅回路11の増幅機能が維持され、入力信号IN1, IN2が差動増幅される。また、差動増幅された信号レベルがイネーブル信号IN3=「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0056】さらに、入力信号IN1, IN2の受信停止(受信拒否)をする場合には、トランジスタTN51のゲートにイネーブル信号IN3=「L」レベルを供給することにより、該トランジスタTN51がOFF動作をし、差動増幅回路11の増幅機能が停止され、同時に、イネーブル信号IN3=「L」レベルに基づいて3ステート回路1

2の出力が”Z”（ハイ・インピーダンス）状態にされる。

【0057】このため、イネーブル信号IN3＝「L」レベルにより、当該差動入力型受信回路の受信機能が停止されると共に、入力信号IN1、IN2の電圧大小関係がIN1＞IN2及びIN1＜IN2と変化し、差動対トランジスタTN3、TN4のゲートが励振される状態であっても、受信機能の停止状態における差動増幅回路11の電源線VCC－接地線GND間の電流経路がトランジスタTN51により遮断され、差動増幅回路11のトランジスタ動作を強制的に停止させることが可能となる。このことで、受信機能の停止状態時の差動増幅回路11の電力消費を極力抑制することが可能となる。

【0058】これにより、電話回線や専用回線等に接続して各種情報通信を行う電子機器に、当該差動入力型受信回路を組み込んだ場合に、その低消費電力化を図ることが可能となる。

（2）第2の実施例の説明

図7は、本発明の第2の実施例に係る差動入力型受信回路の構成図であり、図8（A）、（B）はその動作説明図をそれぞれ示している。

【0059】図7において、第1の実施例と異なるのは第2の実施例では差動増幅回路21にバイアス供給制御回路13Aが設けられるものである。すなわち、バイアス供給制御回路13Aは機能制御素子13の他の一例であり、差動増幅回路21の定電流源用トランジスタTN1とバイアス回路11Aとの間に接続される。例えば、バイアス供給制御回路13Aがn型の電界効果トランジスタTN52、TN62及びインバータINV2から成り、トランジスタTN52のソースがトランジスタTN62のドレインに接続されてトランジスタTN1のゲートに接続される。

【0060】また、トランジスタTN52のドレインはバイアス回路11Aに接続され、そのゲートにはイネーブル信号IN3が供給される。トランジスタTN62のソースは接地線GNDに接続され、そのゲートにはイネーブル信号IN3がインバータINV2を介して供給される。なお、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、バイアス回路11A、カレントミラー回路11C、インバータINV1及び3ステート回路12については、第1の実施例と同様のため、その説明を省略する。

【0061】このようにして、本発明の第2の実施例に係る差動入力型受信回路によれば、図7に示すように、バイアス供給制御回路13Aが定電流源用トランジスタTN1とバイアス回路11Aとの間に接続される。例えば、図8（A）の動作説明図において、入力信号IN1、IN2の受信停止をする場合には、バイアス供給制御回路13Aにイネーブル信号IN3＝「L」レベルを供給することにより、トランジスタTN52がOFF動作をし、バイアス回路11Aと定電流源I_oとの間を非接続状態にし、かつ、トランジスタTN62がON動作をすることで、トランジス

タTN1に「L」レベルを供給する。これにより、差動増幅回路21の増幅機能が停止され、同時に、イネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が”Z”状態にされる。

【0062】なお、入力信号IN1、IN2を受信する場合には、図8（B）の動作説明図において、バイアス供給制御回路13Aにイネーブル信号IN3＝「H」レベルを供給することにより、該制御回路13Aが活性化をし、バイアス回路11Aと定電流源I_oとが接続され、差動増幅回路21の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。また、差動増幅された信号レベルが第1の実施例と同様にイネーブル信号IN3＝「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0063】このため、第1の実施例と同様に、イネーブル信号IN3＝「L」レベルにより、受信機能が停止されると共に、入力信号IN1、IN2が差動対トランジスタTN3、TN4に供給される状態であっても、受信停止時の差動増幅回路21のトランジスタ動作を強制的に停止させることが可能となる。これにより、第1の実施例と同様に受信機能の停止状態時の差動増幅回路21の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

【0064】（3）第3の実施例の説明

図9は、本発明の第3の実施例に係る差動入力型受信回路の構成図であり、図10（A）、（B）はその動作説明図をそれぞれ示している。図9において、第1、第2の実施例と異なるのは第3の実施例では差動増幅回路31のカレントミラー回路11Bにp型の電界効果トランジスタTP43及びn型の電界効果トランジスタTN53が接続されて成る。

【0065】すなわち、カレントミラー回路11Bは第1の実施例に係るカレントミラー回路11Cと異なり、電源線VCCに接続されたトランジスタTP1、TP2の共通ゲートと該電源線VCCとの間にトランジスタTP43が接続される。また、その共通ゲートと差動対トランジスタTN4のドレイン（動作点b）との間にトランジスタTN53が接続される。なお、両トランジスタTP43とトランジスタTN53のゲートが接続され、そこにイネーブル信号IN3が供給される。

【0066】さらに、差動出力信号の使用態様により、トランジスタTP1、TP2の共通ゲート電位を差動対トランジスタTN3のドレインから供給する場合には、トランジスタTN53のソースをトランジスタTN3のドレインに接続する。なお、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、バイアス回路11A、インバータINV1及び3ステート回路12については、第1、第2の実施例と同様のため、その説明を省略する。

【0067】このようにして、本発明の第3の実施例に

係る差動入力型受信回路によれば、図9に示すように、トランジスタTP1、TP2の共通ゲートと電源線VCCとの間にトランジスタTP43が接続され、その共通ゲートとトランジスタTN4のドレインとの間に、トランジスタTN53が接続され、両トランジスタTP43、TN53のゲートがイネーブル信号IN3に基づいて制御される。

【0068】例えば、図10(A)の動作説明図において、入力信号IN1、IN2の受信停止をする場合には、トランジスタTP43、TN53のゲートにイネーブル信号IN3 = 「L」レベルを供給することにより、トランジスタTP43がON動作をし、トランジスタTN53がOFF動作をする。これにより、トランジスタTP1、TP2がOFF動作をしてカレントミラー回路11Bが非活性化をし、差動増幅回路31の増幅機能が停止され、同時に、イネーブル信号IN3 = 「L」レベルに基づいて3ステート回路12の出力が”Z”状態にされる。

【0069】なお、入力信号IN1、IN2を受信する場合には、図10(B)の動作説明図において、トランジスタTP43、TN53のゲートにイネーブル信号IN3 = 「H」レベルを供給することにより、トランジスタTP43がOFF動作をし、トランジスタTN53がON動作をする。これにより、カレントミラー回路11Bが活性化をし、差動増幅回路31の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。また、差動増幅された信号レベルが第1、第2の差動入力型受信回路と同様にイネーブル信号IN3 = 「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0070】このため、第1、第2の実施例と同様に、イネーブル信号IN3 = 「L」レベルにより、受信機能が停止されると共に、入力信号IN1、IN2が差動対トランジスタTN3、TN4に供給される状態であっても、受信停止時の差動増幅回路31のトランジスタ動作を強制的に停止させることが可能となる。これにより、第1、第2の実施例と同様に受信停止時の差動増幅回路31の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

【0071】(4) 第4の実施例の説明

図11は、本発明の第4の実施例に係る差動入力型受信回路の構成図であり、図12(A)、(B)はその動作説明図をそれぞれ示している。なお、第1～第3の実施例と異なるのは第4の実施例では、図3(B)の原理図に示したような第1のスイッチング回路13Bが4つのn型の電界効果トランジスタTN54、TN64、TN74、TN84から構成される。

【0072】すなわち、図11において、トランジスタTN54は接地線GNDと差動対トランジスタTN3のゲートとの間に接続され、トランジスタTN64は接地線GNDと差動対トランジスタTN4のゲートとの間に接続される。また、トランジスタTN74は入力信号IN1の供給部と差動

対トランジスタTN3のゲートとの間に接続され、トランジスタTN84は入力信号IN2の供給部と差動対トランジスタTN4のゲートとの間に接続される。なお、トランジスタTN54、TN64のゲートにはインバータINV2が接続され、イネーブル信号IN3の反転信号が供給され、トランジスタTN74、TN84のゲートにはイネーブル信号IN3が供給される。また、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、バイアス回路11A、インバータINV1及び3ステート回路12については、第1～第3の実施例と同様のため、その説明を省略する。

【0073】このようにして、本発明の第4の実施例に係る差動入力型受信回路によれば、図11に示すように、差動対トランジスタTN3、TN4のゲートと接地線GNDとの間にトランジスタTN54、TN64が接続され、入力信号IN1、IN2の供給部とトランジスタTN3、TN4のゲートとの間にトランジスタTN74、TN84が接続され、両トランジスタTN54、TN64がイネーブル信号IN3の反転信号に基づいて制御され、両トランジスタTN74、TN84がイネーブル信号IN3に基づいて制御される。

【0074】例えば、図12(A)の動作説明図において、入力信号IN1、IN2の受信停止をする場合には、トランジスタTN54、TN64にイネーブル信号IN3 = 「L」レベルの反転信号を供給することにより、該トランジスタTN54、TN64がON動作をし、差動対トランジスタTN3、TN4のゲートが接地線GNDレベルに固定される。また、トランジスタTN74、TN84にイネーブル信号IN3 = 「L」レベルを供給することにより、該トランジスタTN74、TN84がOFF動作をし、両入力信号IN1、IN2の供給が断たれ、差動増幅回路41の増幅機能が停止され、同時に、イネーブル信号IN3 = 「L」レベルに基づいて3ステート回路12の出力が”Z”状態にされる。

【0075】なお、入力信号IN1、IN2を受信する場合には、図12(B)の動作説明図において、トランジスタTN54、TN64にイネーブル信号IN3 = 「H」レベルの反転信号を供給することにより、該トランジスタTN54、TN64がOFF動作をし、差動対トランジスタTN3、TN4のゲートが接地線GNDレベルから開放される。また、トランジスタTN74、TN84にイネーブル信号IN3 = 「H」レベルを供給することにより、該トランジスタTN74、TN84がON動作をし、両入力信号IN1、IN2が差動対トランジスタTN3、TN4のゲートにそれぞれ供給され、両入力信号IN1、IN2が差動増幅される。また、差動増幅された信号レベルが第1～第3の実施例と同様にイネーブル信号IN3 = 「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0076】このため、第1～第3の実施例と同様に、イネーブル信号IN3 = 「L」レベルにより、受信機能が停止されると共に、差動対トランジスタTN3、TN4のゲ

17

ートが「L」レベルに固定されることで、受信停止時における差動増幅回路41の増幅動作を停止させることが可能となる。これにより、第1～第3の実施例と同様に受信停止時の差動増幅回路41の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

【0077】(5) 第5の実施例の説明

図13は、本発明の第5の実施例に係る差動入力型受信回路の説明図であり、図13(A)はその構成図であり、図13(B)はその動作説明図をそれぞれ示している。なお、第1～4の実施例と異なるのは第5の実施例では、図4(A)の原理図に示したような第2のスイッチング回路13Cがn型の電界効果トランジスタTN55, TN65から構成される。

【0078】すなわち、図13(A)において、トランジスタTN55は差動対トランジスタTN3のドレインとカレントミラー回路のトランジスタTP1のドレインとの間に接続され、トランジスタTN65は差動対トランジスタTN4のドレインとカレントミラー回路のトランジスタTP2のドレインとの間にそれぞれ接続される。また、両トランジスタTN55, TN65のゲートにイネーブル信号IN3が供給される。なお、定電流源用トランジスタTN1, 差動対トランジスタTN3, TN4, バイアス回路11A, インバータINV1及び3ステート回路12については、第1～第4の実施例と同様のため、その説明を省略する。

【0079】このようにして、本発明の第5の実施例に係る差動入力型受信回路によれば、図13(A)に示すように、差動対トランジスタTN3, TN4とカレントミラー回路との間にトランジスタTN55, TN65が接続され、それがイネーブル信号IN3に基づいて制御される。例えば、図13(B)の動作説明図において、入力信号IN1, IN2の受信停止をする場合には、トランジスタTN55, TN65のゲートにイネーブル信号IN3＝「L」レベルを供給することにより、両トランジスタTN55, TN65がOFF動作をし、カレントミラー回路と差動対トランジスタTN3, TN4との間が非接続状態にされ、差動増幅回路51の増幅機能が停止され、同時に、イネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0080】なお、入力信号IN1, IN2を受信する場合には、トランジスタTN55, TN65のゲートにイネーブル信号IN3＝「H」レベルを供給することにより、両トランジスタTN55, TN65がON動作をし、カレントミラー回路と差動対トランジスタTN3, TN4とが接続され、差動増幅回路51の増幅機能が維持され、入力信号IN1, IN2が差動増幅される。また、差動増幅された信号レベルが第1～第4の実施例と同様にイネーブル信号IN3＝「H」レベルに基づいて3ステート回路12から内部回路に出力される。

(10)

特開平6-260845

18

【0081】このため、第1～第4の実施例と同様に、イネーブル信号IN3＝「L」レベルにより、受信機能が停止されると共に、両トランジスタTN55, TN65がOFF動作をすることで、受信停止時における差動増幅回路51の増幅動作を停止させることが可能となる。これにより、第1～第4の実施例と同様に受信停止時の差動増幅回路51の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

10 【0082】(6) 第6の実施例の説明

図14は、本発明の第6の実施例に係る差動入力型受信回路の説明図であり、図14(A)はその構成図であり、図14(B)はその動作説明図をそれぞれ示している。なお、第1～5の実施例と異なるのは第6の実施例では、図4(A)の原理図に示したような第2のスイッチング回路13Cがp型の電界効果トランジスタTP46, TP56から構成される。

【0083】すなわち、図14(A)において、トランジスタTP46は差動対トランジスタTN3のドレインとカレントミラー回路のトランジスタTP1のドレインとの間に接続され、トランジスタTP56は差動対トランジスタTN4のドレインとカレントミラー回路のトランジスタTP2のドレインとの間にそれぞれ接続される。また、両トランジスタTP46, TP56のゲートにインバータINV2が接続され、イネーブル信号IN3の反転信号が供給される。なお、定電流源用トランジスタTN1, 差動対トランジスタTN3, TN4, バイアス回路11A, インバータINV1及び3ステート回路12については、第1～第5の実施例と同様のためその説明を省略する。

30 【0084】このようにして、本発明の第6の実施例に係る差動入力型受信回路によれば、図14(A)に示すように、差動対トランジスタTN3, TN4とカレントミラー回路との間にトランジスタTP46, TP56が接続され、それがイネーブル信号IN3の反転信号に基づいて制御される。例えば、図14(B)の動作説明図において、入力信号IN1, IN2の受信停止をする場合には、トランジスタTP46, TP56のゲートにイネーブル信号IN3＝「L」レベルの反転信号を供給することにより、両トランジスタTP46, TP56がOFF動作をし、カレントミラー回路と差動対トランジスタTN3, TN4との間が非接続状態にされ、差動増幅回路61の増幅機能が停止され、同時に、イネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

40 【0085】なお、入力信号IN1, IN2を受信する場合には、トランジスタTP46, TP56のゲートにイネーブル信号IN3＝「H」レベルの反転信号を供給することにより、両トランジスタTP46, TP56がON動作をし、カレントミラー回路と差動対トランジスタTN3, TN4とが接続され、差動増幅回路61の増幅機能が維持され、入力信号IN1, IN2が差動増幅される。また、差動増幅

50

された信号レベルが第1～第4の実施例と同様にイネーブル信号IN3＝「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0086】このため、第1～第5の実施例と同様に、イネーブル信号IN3＝「L」レベルにより、受信機能が停止されると共に、両トランジスタTP46、TP56がOFF動作をすることで、受信停止時における差動増幅回路61の増幅動作を停止させることが可能となる。これにより、第1～第5の実施例と同様に受信停止時の差動増幅回路61の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。

【0087】(7) 第7の実施例の説明

図15は、本発明の第7の実施例に係る差動入力型受信回路の構成図である。図15において、第7の実施例では第1の実施例の差動増幅回路11にn型の電界効果トランジスタTN9、インバータINV3及び遅延回路14が設けられ、差動増幅回路71を構成する。

【0088】すなわち、図15において、n型の電界効果トランジスタTN9は機能制御素子13の他の一例であり、差動対トランジスタTN3のドレイン（動作点a）とインバータINV1の共通ゲート（d点）の接続点と接地線GNDとの間に接続される。また、トランジスタTN9のゲートには、遅延回路14により遅延したイネーブル信号IN3の反転信号が供給される。なお、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、バイアス回路11A、インバータINV1及び3ステート回路12については、第1の実施例と同様のためその説明を省略する。

【0089】このようにして、本発明の第7の実施例に係る差動入力型受信回路によれば、第1の実施例に係る差動増幅回路11に、図15に示すようなn型の電界効果トランジスタTN9、インバータINV3及び遅延回路14が設けられ、差動増幅回路71が構成され、トランジスタTN9が、イネーブル信号IN3の遅延反転信号に基づいて制御される。

【0090】例えば、入力信号IN1、IN2の受信停止をする場合には、第1の実施例と同様に、トランジスタTN51のゲートにイネーブル信号IN3＝「L」レベルを供給することにより、該トランジスタTN51がOFF動作をし、差動増幅回路11の増幅機能が停止され、同時に、イネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0091】ここで、トランジスタTN9にイネーブル信号IN3を遅延反転した信号＝「H」レベルが供給され、該トランジスタTN9がON動作をすることで、インバータINV1の共通ゲートが「L」レベルに固定される。なお、入力信号IN1、IN2を受信する場合には、トランジスタTN51のゲートにイネーブル信号IN3＝「H」レベルを供給することにより、該トランジスタTN51がON

動作をし、差動増幅回路11の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。

【0092】ここで、トランジスタTN9にイネーブル信号IN3を遅延反転した信号＝「L」レベルが供給することにより、該トランジスタTN9がOFF動作をすることで、インバータINV1の共通ゲートが「L」レベルから開放される。また、差動増幅された信号レベルがイネーブル信号IN3＝「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0093】このため、第1の実施例に比べてイネーブル信号IN3＝「L」レベルの反転信号により、受信機能が停止されると共に、インバータINV1に接続されたトランジスタTN9がON動作をすることで、受信停止時における差動増幅回路71の増幅動作を停止させること、及び、インバータINV1の増幅動作を併せて停止させることが可能となる。特に、インバータINV1に接続されたn型の電界効果トランジスタTN9のゲートにイネーブル信号IN3の遅延反転信号を供給することにより、差動増幅回路71の動作点aの電位レベルがインバータINV1の閾値電圧 V_{th} に達してから、それをインバータINV1の共通ゲートに供給することができる。

【0094】これにより、第1の実施例に比べて、受信停止時の差動増幅回路71の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(8) 第8の実施例の説明

図16は、本発明の第8の実施例に係る差動入力型受信回路の構成図である。図16において、第8の実施例では第2の実施例の差動増幅回路21にn型の電界効果トランジスタTN9、インバータINV3及び遅延回路14が設けられ、差動増幅回路81を構成する。

【0095】なお、トランジスタTN9、インバータINV3及び遅延回路14の接続方法は第7の実施例と同様であり、また、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、バイアス回路11A、バイアス制御回路13A、インバータINV1及び3ステート回路12については、第2の実施例と同様のためその説明を省略する。

【0096】このようにして、本発明の第8の実施例に係る差動入力型受信回路によれば、第2の実施例に係る差動増幅回路21に、図16に示すようなn型の電界効果トランジスタTN9、インバータINV3及び遅延回路14が設けられ、差動増幅回路81が構成される。また、トランジスタTN9がイネーブル信号IN3の遅延反転信号に基づいて制御される。

【0097】例えば、入力信号IN1、IN2の受信停止をする場合には、バイアス供給制御回路13Aにイネーブル信号IN3＝「L」レベルを供給することにより、第2の実施例と同様に、トランジスタTN52がOFF動作をし、

バイアス回路11Aと定電流源I_oとの間を非接続状態にし、かつ、トランジスタTN62がON動作をすることで、トランジスタTN1に「L」レベルを供給する。これにより、差動増幅回路81の増幅機能が停止され、同時に、イネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0098】ここで、トランジスタTN9にイネーブル信号IN3を遅延反転した信号＝「H」レベルが供給され、該トランジスタTN9がON動作をすることで、インバータINV1の共通ゲートが「L」レベルに固定される。なお、入力信号IN1、IN2を受信する場合には、第2の実施例と同様に、バイアス供給制御回路13Aにイネーブル信号IN3＝「H」レベルを供給することにより、該制御回路13Aが活性化をし、バイアス回路11Aと定電流源用I_oとが接続され、差動増幅回路21の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。

【0099】ここで、トランジスタTN9にイネーブル信号IN3を遅延反転した信号＝「L」レベルが供給することにより、該トランジスタTN9がOFF動作をすることで、インバータINV1の共通ゲートが「L」レベルから開放される。また、差動増幅された信号レベルがイネーブル信号IN3＝「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0100】このため、第2の実施例に比べてイネーブル信号IN3＝「L」レベルの反転信号により、受信機能が停止されると共に、インバータINV1に接続されたトランジスタTN9がON動作をすることで、受信停止時における差動増幅回路81の増幅動作を停止させること、及び、インバータINV1の増幅動作を併せて停止させることが可能となる。特に、インバータINV1に接続されたn型の電界効果トランジスタTN9のゲートにイネーブル信号IN3の遅延反転信号を供給することにより、差動増幅回路81の動作点aの電位レベルがインバータINV1の閾値電圧V_{th}に達してから、それをインバータINV1の共通ゲートに供給することができる。

【0101】これにより、第2の実施例に比べて、受信停止時の差動増幅回路81の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(9) 第9の実施例の説明

図17は、本発明の第9の実施例に係る差動入力型受信回路の構成図である。図17において、第9の実施例では第3の実施例の差動増幅回路31にn型の電界効果トランジスタTN9、インバータINV3及び遅延回路14が設けられ、差動増幅回路91を構成する。なお、トランジスタTN9、インバータINV3及び遅延回路14の接続方法は第7、第8の実施例と同様であり、また、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、インバータINV1、p型の電界効果トランジスタTP43、

n型の電界効果トランジスタTN53及び3ステート回路12については、第3の実施例と同様のためその説明を省略する。

【0102】このようにして、本発明の第9の実施例に係る差動入力型受信回路によれば、第3の実施例に係る差動増幅回路31に、図17に示すようなn型の電界効果トランジスタTN9、インバータINV3及び遅延回路14が設けられ、差動増幅回路91が構成される。また、トランジスタTN9がイネーブル信号IN3の遅延反転信号に基づいて制御される。

【0103】例えば、入力信号IN1、IN2の受信停止をする場合には、第3の実施例と同様に、トランジスタTP43、TN53のゲートにイネーブル信号IN3＝「L」レベルを供給することにより、トランジスタTP43がON動作をし、トランジスタTN53がOFF動作をする。これにより、トランジスタTP1、TP2がOFF動作をしてカレントミラー回路11Bが非活性化をし、差動増幅回路91の増幅機能が停止され、同時に、イネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0104】ここで、トランジスタTN9にイネーブル信号IN3を遅延反転した信号＝「H」レベルが供給され、該トランジスタTN9がON動作をすることで、インバータINV1の共通ゲートが「L」レベルに固定される。なお、入力信号IN1、IN2を受信する場合には、第3の実施例と同様に、トランジスタTP43、TN53のゲートにイネーブル信号IN3＝「H」レベルを供給することにより、トランジスタTP43がOFF動作をし、トランジスタTN53がON動作をする。これにより、カレントミラー回路11Bが活性化をし、差動増幅回路31の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。

【0105】ここで、トランジスタTN9にイネーブル信号IN3を遅延反転した信号＝「L」レベルが供給することにより、該トランジスタTN9がOFF動作をすることで、インバータINV1の共通ゲートが「L」レベルから開放される。また、差動増幅された信号レベルがイネーブル信号IN3＝「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0106】このため、第3の実施例に比べてイネーブル信号IN3＝「L」レベルの反転信号により、受信機能が停止されると共に、インバータINV1に接続されたトランジスタTN9がON動作をすることで、受信停止時における差動増幅回路91の増幅動作を停止させること、及び、インバータINV1の増幅動作を併せて停止させることが可能となる。特に、インバータINV1に接続されたn型の電界効果トランジスタTN9のゲートにイネーブル信号IN3の遅延反転信号を供給することにより、差動増幅回路91の動作点aの電位レベルがインバータINV1の閾値電圧V_{th}に達してから、それをインバータINV1の共通ゲートに供給することができる。

【0107】これにより、第3の実施例に比べて、受信停止時の差動増幅回路91の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(10) 第10の実施例の説明

図18は、本発明の第10の実施例に係る差動入力型受信回路の構成図である。図18において、第10の実施例では第4の実施例の差動増幅回路41にn型の電界効果トランジスタTN9、インバータINV3及び遅延回路14が設けられ、差動増幅回路100を構成する。なお、トランジスタTN9、インバータINV3及び遅延回路14の接続方法は第7～第9の実施例と同様であり、また、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、インバータINV1、n型の電界効果トランジスタTN54、TN64、TN74、TN84、インバータINV2及び3ステート回路12については、第4の実施例と同様のためその説明を省略する。

【0108】このようにして、本発明の第10の実施例に係る差動入力型受信回路によれば、第4の実施例に係る差動増幅回路41に、図18に示すようなn型の電界効果トランジスタTN9、インバータINV3及び遅延回路14が設けられ、差動増幅回路100が構成される。また、トランジスタTN9がイネーブル信号IN3の遅延反転信号に基づいて制御される。

【0109】例えば、入力信号IN1、IN2の受信停止をする場合には、第4の実施例と同様に、トランジスタTN54、TN64にイネーブル信号IN3＝「L」レベルの反転信号を供給することにより、該トランジスタTN54、TN64がON動作をし、差動対トランジスタTN3、TN4のゲートが接地線GNDレベルに固定される。また、トランジスタTN74、TN84にイネーブル信号IN3＝「L」レベルを供給することにより、該トランジスタTN74、TN84がOFF動作をし、両入力信号IN1、IN2の供給が断たれ、差動増幅回路41の増幅機能が停止され、同時に、イネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0110】ここで、トランジスタTN9にイネーブル信号IN3を遅延反転した信号＝「H」レベルが供給され、該トランジスタTN9がON動作をすることで、インバータINV1の共通ゲートが「L」レベルに固定される。なお、入力信号IN1、IN2を受信する場合には、第4の実施例と同様に、トランジスタTN54、TN64にイネーブル信号IN3＝「H」レベルの反転信号を供給することにより、該トランジスタTN54、TN64がOFF動作をし、差動対トランジスタTN3、TN4のゲートが接地線GNDレベルから開放される。また、トランジスタTN74、TN84にイネーブル信号IN3＝「H」レベルを供給することにより、該トランジスタTN74、TN84がON動作をし、両入力信号IN1、IN2が差動対トランジスタTN3、

TN4のゲートにそれぞれ供給され、両入力信号IN1、IN2が差動増幅される。

【0111】ここで、トランジスタTN9にイネーブル信号IN3を遅延反転した信号＝「L」レベルが供給することにより、該トランジスタTN9がOFF動作をすることで、インバータINV1の共通ゲートが「L」レベルから開放される。また、差動増幅された信号レベルが第1～第3の実施例と同様にイネーブル信号IN3＝「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0112】このため、第4の実施例に比べてイネーブル信号IN3＝「L」レベルの反転信号により、受信機能が停止されると共に、インバータINV1に接続されたトランジスタTN9がON動作をすることで、受信停止時における差動増幅回路100の増幅動作を停止させること、及び、インバータINV1の増幅動作を併せて停止させることが可能となる。特に、インバータINV1に接続されたn型の電界効果トランジスタTN9のゲートにイネーブル信号IN3の遅延反転信号を供給することにより、差動増幅回路100の動作点aの電位レベルがインバータINV1の閾値電圧V_{th}に達してから、それをインバータINV1の共通ゲートに供給することができる。

【0113】これにより、第4の実施例に比べて、受信停止時の差動増幅回路100の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(11) 第11の実施例の説明

図19は、本発明の第11の実施例に係る差動入力型受信回路の構成図である。図19において、第11の実施例では第1の実施例の差動増幅回路11にp型の電界効果トランジスタTP5及び遅延回路14が設けられ、差動増幅回路111を構成する。

【0114】すなわち、図19において、p型の電界効果トランジスタTP5は機能制御素子13の他の一例であり、差動対トランジスタTN3のドレイン（動作点a）とインバータINV1の共通ゲート（d点）の接続点と電源線VCCとの間に接続される。また、トランジスタTP5のゲートには、遅延回路14により遅延したイネーブル信号IN3が供給される。なお、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、バイアス回路11A、インバータINV1及び3ステート回路12については、第1の実施例と同様のためその説明を省略する。

【0115】このようにして、本発明の第11の実施例に係る差動入力型受信回路によれば、第1の実施例に係る差動増幅回路11に、図19に示すようなp型の電界効果トランジスタTP5及び遅延回路14が設けられ、差動増幅回路111が構成される。また、トランジスタTP5がイネーブル信号IN3の遅延信号に基づいて制御される。例えば、入力信号IN1、IN2の受信停止をする場合には、

10

20

30

40

50

第1の実施例と同様に、トランジスタTN51のゲートにイネーブル信号IN3 = 「L」レベルを供給することにより、該トランジスタTN51がOFF動作をし、差動増幅回路11の増幅機能が停止され、同時に、イネーブル信号IN3 = 「L」レベルに基づいて3ステート回路12の出力が”Z”状態にされる。ここで、トランジスタTP5にイネーブル信号IN3を遅延した信号 = 「L」レベルが供給され、該トランジスタTP5がON動作をすることで、インバータINV1の共通ゲートが「H」レベルに固定される。

【0116】なお、入力信号IN1, IN2を受信する場合には、トランジスタTN51のゲートにイネーブル信号IN3 = 「H」レベルを供給することにより、該トランジスタTN51がON動作をし、差動増幅回路11の増幅機能が維持され、入力信号IN1, IN2が差動増幅される。ここで、トランジスタTP5にイネーブル信号IN3を遅延した信号 = 「H」レベルが供給することにより、該トランジスタTP5がOFF動作をし、インバータINV1の共通ゲートが「H」レベルから開放される。また、差動増幅された信号レベルがイネーブル信号IN3 = 「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0117】このため、第1の実施例に比べてイネーブル信号IN3 = 「L」レベルの遅延信号により、受信機能が停止されると共に、インバータINV1に接続されたトランジスタTP5がON動作をすることで、受信停止時における差動増幅回路111の増幅動作を停止させること、及び、インバータINV1の増幅動作を併せて停止させることが可能となる。特に、インバータINV1に接続されたp型の電界効果トランジスタTP5のゲートにイネーブル信号IN3の遅延信号を供給することにより、差動増幅回路111の動作点aの電位レベルがインバータINV1の閾値電圧 V_{th} に達してから、それをインバータINV1の共通ゲートに供給することができる。

【0118】これにより、第1の実施例に比べて、受信停止時の差動増幅回路111の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(12) 第12の実施例の説明

図20は、本発明の第12の実施例に係る差動入力型受信回路の構成図である。図20において、第12の実施例では第2の実施例の差動増幅回路21にp型の電界効果トランジスタTP5及び遅延回路14が設けられ、差動増幅回路112を構成する。

【0119】なお、p型の電界効果トランジスタTP5や遅延回路14の接続方法については、第11の実施例と同様である。また、定電流源用トランジスタTN1, 差動対トランジスタTN3, TN4, バイアス回路11A, バイアス制御回路13A, インバータINV1及び3ステート回路1

2については、第2の実施例と同様のためその説明を省略する。

【0120】このようにして、本発明の第12の実施例に係る差動入力型受信回路によれば、第2の実施例に係る差動増幅回路21に、図20に示すようなp型の電界効果トランジスタTP5及び遅延回路14が設けられ、差動増幅回路112が構成される。また、トランジスタTP5がイネーブル信号IN3の遅延信号に基づいて制御される。例えば、入力信号IN1, IN2の受信停止をする場合には、第2の実施例と同様に、バイアス供給制御回路13Aにイネーブル信号IN3 = 「L」レベルを供給することにより、第2の実施例と同様に、トランジスタTN52がOFF動作をし、バイアス回路11Aと定電流源I_oとの間を非接続状態にし、かつ、トランジスタTN62がON動作をすることで、トランジスタTN1に「L」レベルを供給する。これにより、差動増幅回路112の増幅機能が停止され、同時に、イネーブル信号IN3 = 「L」レベルに基づいて3ステート回路12の出力が”Z”状態にされる。

【0121】ここで、トランジスタTP5にイネーブル信号IN3を遅延した信号 = 「L」レベルが供給され、該トランジスタTP5がON動作をすることで、インバータINV1の共通ゲートが「H」レベルに固定される。なお、入力信号IN1, IN2を受信する場合には、第2の実施例と同様に、バイアス供給制御回路13Aにイネーブル信号IN3 = 「H」レベルを供給することにより、該制御回路13Aが活性化をし、バイアス回路11Aと定電流源用I_oとが接続され、差動増幅回路21の増幅機能が維持され、入力信号IN1, IN2が差動増幅される。

【0122】ここで、トランジスタTP5にイネーブル信号IN3を遅延した信号 = 「H」レベルが供給することにより、該トランジスタTP5がOFF動作をし、インバータINV1の共通ゲートが「H」レベルから開放される。また、差動増幅された信号レベルがイネーブル信号IN3 = 「H」レベルに基づいて3ステート回路12から内部回路に出力される。

【0123】このため、第2の実施例に比べてイネーブル信号IN3 = 「L」レベルの遅延信号により、受信機能が停止されると共に、インバータINV1に接続されたトランジスタTP5がON動作をすることで、受信停止時における差動増幅回路112の増幅動作を停止させること、及び、インバータINV1の増幅動作を併せて停止させることが可能となる。特に、インバータINV1に接続されたp型の電界効果トランジスタTP5のゲートにイネーブル信号IN3の遅延信号を供給することにより、差動増幅回路112の動作点aの電位レベルがインバータINV1の閾値電圧 V_{th} に達してから、それをインバータINV1の共通ゲートに供給することができる。

【0124】これにより、第2の実施例に比べて、受信停止時の差動増幅回路112の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当

10

20

30

40

50

27

該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(13) 第13の実施例の説明

図21は、本発明の第13の実施例に係る差動入力型受信回路の構成図である。図21において、第13の実施例では第3の実施例の差動増幅回路31にp型の電界効果トランジスタTP5及び遅延回路14が設けられ、差動増幅回路113を構成する。

【0125】なお、p型の電界効果トランジスタTP5や遅延回路14の接続方法については、第11、第12の実施例と同様である。また、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、バイアス回路11A、インバータINV1、p型の電界効果トランジスタTP43、n型の電界効果トランジスタTN53及び3ステート回路12については、第3の実施例と同様のためその説明を省略する。

【0126】このようにして、本発明の第13の実施例に係る差動入力型受信回路によれば、第3の実施例に係る差動増幅回路31に、図21に示すようなp型の電界効果トランジスタTP5及び遅延回路14が設けられ、差動増幅回路113が構成される。また、トランジスタTP5がインネーブル信号IN3の遅延信号に基づいて制御される。例えば、入力信号IN1、IN2の受信停止をする場合には、第3の実施例と同様に、トランジスタTP43、TN53のゲートにインネーブル信号IN3＝「L」レベルを供給することにより、トランジスタTP43がON動作をし、トランジスタTN53がOFF動作をする。これにより、トランジスタTP1、TP2がOFF動作をしてカレントミラー回路11Bが非活性化をし、差動増幅回路113の増幅機能が停止され、同時に、インネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0127】ここで、トランジスタTP5にインネーブル信号IN3を遅延した信号＝「L」レベルが供給され、該トランジスタTP5がON動作をする事で、インバータINV1の共通ゲートが「H」レベルに固定される。なお、入力信号IN1、IN2を受信する場合には、第3の実施例と同様に、トランジスタTP43、TN53のゲートにインネーブル信号IN3＝「H」レベルを供給することにより、トランジスタTP43がOFF動作をし、トランジスタTN53がON動作をする。これにより、カレントミラー回路11Bが活性化をし、差動増幅回路31の増幅機能が維持され、入力信号IN1、IN2が差動増幅される。

【0128】ここで、トランジスタTP5にインネーブル信号IN3を遅延した信号＝「H」レベルが供給することにより、該トランジスタTP5がOFF動作をし、インバータINV1の共通ゲートが「H」レベルから開放される。また、差動増幅された信号レベルがインネーブル信号IN3＝「H」レベルに基づいて3ステート回路12から内部回路に出力される。

(15)

特開平6-260845

28

【0129】このため、第3の実施例に比べてインネーブル信号IN3＝「L」レベルの遅延信号により、受信機能が停止されると共に、インバータINV1に接続されたトランジスタTP5がON動作をすることで、受信停止時における差動増幅回路113の増幅動作を停止させること、及び、インバータINV1の増幅動作を併せて停止させることが可能となる。特に、インバータINV1に接続されたp型の電界効果トランジスタTP5のゲートにインネーブル信号IN3の遅延信号を供給することにより、差動増幅回路113の動作点aの電位レベルがインバータINV1の閾値電圧Vthに達してから、それをインバータINV1の共通ゲートに供給することができる。

【0130】これにより、第3の実施例に比べて、受信停止時の差動増幅回路113の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(14) 第14の実施例の説明

図22は、本発明の第14の実施例に係る差動入力型受信回路の構成図である。図22において、第14の実施例では第3の実施例の差動増幅回路41にp型の電界効果トランジスタTP5及び遅延回路14が設けられ、差動増幅回路114を構成する。

【0131】なお、p型の電界効果トランジスタTP5や遅延回路14の接続方法については、第11～第13の実施例と同様である。また、定電流源用トランジスタTN1、差動対トランジスタTN3、TN4、バイアス回路11A、インバータINV1、n型の電界効果トランジスタTN54、TN64、TN74、TN84及び3ステート回路12については、第4の実施例と同様のためその説明を省略する。

【0132】このようにして、本発明の第14の実施例に係る差動入力型受信回路によれば、第4の実施例に係る差動増幅回路41に、図22に示すようなp型の電界効果トランジスタTP5及び遅延回路14が設けられ、差動増幅回路114が構成される。また、トランジスタTP5がインネーブル信号IN3の遅延信号に基づいて制御される。例えば、入力信号IN1、IN2の受信停止をする場合には、第4の実施例と同様に、トランジスタTN54、TN64にインネーブル信号IN3＝「L」レベルの反転信号を供給することにより、該トランジスタTN54、TN64がON動作をし、差動対トランジスタTN3、TN4のゲートが接地線GNDレベルに固定される。また、トランジスタTN74、TN84にインネーブル信号IN3＝「L」レベルを供給することにより、該トランジスタTN74、TN84がOFF動作をし、両入力信号IN1、IN2の供給が断たれ、差動増幅回路41の増幅機能が停止され、同時に、インネーブル信号IN3＝「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0133】ここで、トランジスタTP5にインネーブル信号IN3を遅延した信号＝「L」レベルが供給され、該ト

50

ランジスタ TP5 が ON 動作をすることで、インバータ INV 1 の共通ゲートが「H」レベルに固定される。なお、入力信号 IN 1, IN 2 を受信する場合には、第 4 の実施例と同様に、トランジスタ TN54, TN64 にイネーブル信号 IN 3 = 「H」レベルの反転信号を供給することにより、該トランジスタ TN54, TN64 が OFF 動作をし、差動対トランジスタ TN3, TN4 のゲートが接地線 GND レベルから開放される。また、トランジスタ TN74, TN84 にイネーブル信号 IN 3 = 「H」レベルを供給することにより、該トランジスタ TN74, TN84 が ON 動作をし、両入力信号 IN 1, IN 2 が差動対トランジスタ TN3, TN4 のゲートにそれぞれ供給され、両入力信号 IN 1, IN 2 が差動増幅される。

【0134】ここで、トランジスタ TP5 にイネーブル信号 IN 3 を遅延した信号 = 「H」レベルが供給することにより、該トランジスタ TP5 が OFF 動作をし、インバータ INV 1 の共通ゲートが「H」レベルから開放される。また、差動増幅された信号レベルがイネーブル信号 IN 3 = 「H」レベルに基づいて 3 ステート回路 12 から内部回路に出力される。

【0135】このため、第 4 の実施例に比べてイネーブル信号 IN 3 = 「L」レベルの遅延信号により、受信機能が停止されると共に、インバータ INV 1 に接続されたトランジスタ TP5 が ON 動作をすることで、受信停止時における差動増幅回路 114 の増幅動作を停止させること、及び、インバータ INV 1 の増幅動作を併せて停止させることが可能となる。特に、インバータ INV 1 に接続された p 型の電界効果トランジスタ TP5 のゲートにイネーブル信号 IN 3 の遅延信号を供給することにより、差動増幅回路 114 の動作点 a の電位レベルがインバータ INV 1 の閾値電圧 V_{th} に達してから、それをインバータ INV 1 の共通ゲートに供給することができる。

【0136】これにより、第 4 の実施例に比べて、受信停止時の差動増幅回路 114 の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(15) 第 15 の実施例の説明

図 23 は、本発明の第 15 の実施例に係る差動入力型受信回路の構成図である。図 23 において、第 15 の実施例では第 1 の実施例のインバータ INV 1 に n 型の電界効果トランジスタ TN10 が設けられ、差動増幅回路 115 を構成する。

【0137】すなわち、図 23 において、n 型の電界効果トランジスタ TN10 は機能制御素子 13 の他の一例であり、インバータ INV 1 のトランジスタ TP3, TN2 間に接続される。また、トランジスタ TN10 のゲートには、イネーブル信号 IN 3 が供給される。なお、定電流源用トランジスタ TN1, 差動増幅回路 11 のトランジスタ TN3, TN4, バイアス回路 11A 及び 3 ステート回路 12 につい

ては、第 1 の実施例と同様のためその説明を省略する。

【0138】このようにして、本発明の第 15 の実施例に係る差動入力型受信回路によれば、第 1 の実施例に係るインバータ INV 1 に、図 23 に示すような n 型の電界効果トランジスタ TN10 が設けられ、インバータ INV 4 を含む差動増幅回路 115 が構成される。また、トランジスタ TN10 がイネーブル信号 IN 3 に基づいて制御される。例えば、入力信号 IN 1, IN 2 の受信停止をする場合には、第 1 の実施例と同様に、トランジスタ TN51 のゲートにイネーブル信号 IN 3 = 「L」レベルを供給することにより、該トランジスタ TN51 が OFF 動作をし、差動増幅機能が停止され、同時に、イネーブル信号 IN 3 = 「L」レベルに基づいて 3 ステート回路 12 の出力が「Z」状態にされる。ここで、トランジスタ TN10 にイネーブル信号 IN 3 = 「L」レベルが供給され、該トランジスタ TN10 が OFF 動作をすることで、インバータ INV 1 の増幅機能が停止される。

【0139】なお、入力信号 IN 1, IN 2 を受信する場合には、トランジスタ TN51 のゲートにイネーブル信号 IN 3 = 「H」レベルを供給することにより、該トランジスタ TN51 が ON 動作をし、差動増幅機能が維持され、入力信号 IN 1, IN 2 が差動増幅される。ここで、トランジスタ TN10 にイネーブル信号 IN 3 = 「H」レベルが供給することにより、該トランジスタ TN10 が ON 動作をし、インバータ INV 1 の増幅機能が維持され、差動増幅された信号レベルがイネーブル信号 IN 3 = 「H」レベルに基づいて 3 ステート回路 12 から内部回路に出力される。

【0140】このため、第 1 の実施例に比べてイネーブル信号 IN 3 = 「L」レベルの遅延信号により、受信機能が停止されると共に、インバータ INV 1 に接続されたトランジスタ TN10 が OFF 動作をすることで、受信停止時における差動増幅動作を停止させること、及び、インバータ INV 1 の増幅動作を併せて停止させることが可能となる。

【0141】これにより、第 1 の実施例に比べて、受信停止時の差動増幅回路 115 の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(16) 第 16 の実施例の説明

図 24 は、本発明の第 16 の実施例に係る差動入力型受信回路の構成図である。図 24 において、第 16 の実施例では第 2 の実施例のインバータ INV 1 に n 型の電界効果トランジスタ TN10 が設けられ、差動増幅回路 116 を構成する。

【0142】なお、n 型の電界効果トランジスタ TN10 の接続方法については、第 15 の実施例と同様である。また、定電流源用トランジスタ TN1, 差動対トランジスタ TN3, TN4, バイアス回路 11A, バイアス制御回路 13

A, インバータ INV 4 及び 3 ステート回路 1 2 については、第 2, 第 15 の実施例と同様のためその説明を省略する。

【0143】このようにして、本発明の第 16 の実施例に係る差動入力型受信回路によれば、第 2 の実施例に係るインバータ INV 1 に、図 24 に示すような n 型の電界効果トランジスタ TN10 が設けられ、差動増幅回路 116 が構成される。また、トランジスタ TN10 がイネーブル信号 IN3 に基づいて制御される。例えば、入力信号 IN1, IN2 の受信停止をする場合には、第 2 の実施例と同様に、

バイアス供給制御回路 13A にイネーブル信号 IN3 = 「L」レベルを供給することにより、第 2 の実施例と同様に、トランジスタ TN52 が OFF 動作をし、バイアス回路 11A と定電流源 I_o との間を非接続状態にし、かつ、トランジスタ TN62 が ON 動作をすることで、トランジスタ TN1 に「L」レベルを供給する。これにより、差動増幅回路 112 の増幅機能が停止され、同時に、イネーブル信号 IN3 = 「L」レベルに基づいて 3 ステート回路 1 2 の出力が「Z」状態にされる。

【0144】ここで、トランジスタ TN10 にイネーブル信号 IN3 = 「L」レベルが供給され、該トランジスタ TN10 が OFF 動作をすることで、インバータ INV 1 の増幅機能が停止される。なお、入力信号 IN1, IN2 を受信する場合には、第 2 の実施例と同様に、バイアス供給制御回路 13A にイネーブル信号 IN3 = 「H」レベルを供給することにより、該制御回路 13A が活性化をし、バイアス回路 11A と定電流源用 I_o とが接続され、差動増幅回路 116 の増幅機能が維持され、入力信号 IN1, IN2 が差動増幅される。

【0145】ここで、トランジスタ TN10 にイネーブル信号 IN3 = 「H」レベルが供給することにより、該トランジスタ TN10 が ON 動作をし、インバータ INV 4 の増幅機能が維持され、差動増幅された信号レベルがイネーブル信号 IN3 = 「H」レベルに基づいて 3 ステート回路 1 2 から内部回路に出力される。このため、第 2 の実施例に比べてイネーブル信号 IN3 = 「L」レベルの遅延信号により、受信機能が停止されると共に、インバータ INV 4 に接続されたトランジスタ TN10 が OFF 動作をすることで、受信停止時における差動増幅動作を停止させること、及び、インバータ INV 4 の増幅動作を併せて停止させることが可能となる。

【0146】これにより、第 2 の実施例に比べて、受信停止時の差動増幅回路 116 の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(17) 第 17 の実施例の説明

図 25 は、本発明の第 17 の実施例に係る差動入力型受信回路の構成図である。図 25 において、第 17 の実施例では第 3 の実施例のインバータ INV 1 に n 型の電界効果トラン

ジスタ TN10 が設けられ、差動増幅回路 117 を構成する。

【0147】なお、n 型の電界効果トランジスタ TN10 の接続方法については、第 15, 16 の実施例と同様である。また、定電流源用トランジスタ TN1, 差動対トランジスタ TN3, TN4, バイアス回路 11A, インバータ INV 5, p 型の電界効果トランジスタ TP43, n 型の電界効果トランジスタ TN53 及び 3 ステート回路 1 2 については、第 3, 第 16 の実施例と同様のためその説明を省略する。

【0148】このようにして、本発明の第 17 の実施例に係る差動入力型受信回路によれば、第 3 の実施例に係るインバータ INV 1 に、図 25 に示すような n 型の電界効果トランジスタ TN10 が設けられ、差動増幅回路 117 が構成される。また、トランジスタ TN10 がイネーブル信号 IN3 に基づいて制御される。例えば、入力信号 IN1, IN2 の受信停止をする場合には、第 3 の実施例と同様に、トランジスタ TP43, TN53 のゲートにイネーブル信号 IN3 = 「L」レベルを供給することにより、トランジスタ TP43 が ON 動作をし、トランジスタ TN53 が OFF 動作をする。これにより、トランジスタ TP1, TP2 が OFF 動作をしてカレントミラー回路 11B が非活性化をし、差動増幅回路 113 の増幅機能が停止され、同時に、イネーブル信号 IN3 = 「L」レベルに基づいて 3 ステート回路 1 2 の出力が「Z」状態にされる。

【0149】ここで、トランジスタ TN10 にイネーブル信号 IN3 = 「L」レベルが供給され、該トランジスタ TN10 が OFF 動作をすることで、インバータ INV 1 の増幅機能が停止される。なお、入力信号 IN1, IN2 を受信する場合には、第 3 の実施例と同様に、トランジスタ TP43, TN53 のゲートにイネーブル信号 IN3 = 「H」レベルを供給することにより、トランジスタ TP43 が OFF 動作をし、トランジスタ TN53 が ON 動作をする。これにより、カレントミラー回路 11B が活性化をし、差動増幅回路 3 1 の増幅機能が維持され、入力信号 IN1, IN2 が差動増幅される。

【0150】ここで、トランジスタ TN10 にイネーブル信号 IN3 = 「H」レベルが供給することにより、該トランジスタ TN10 が ON 動作をし、インバータ INV 4 の増幅機能が維持され、また、差動増幅された信号レベルがイネーブル信号 IN3 = 「H」レベルに基づいて 3 ステート回路 1 2 から内部回路に出力される。このため、第 3 の実施例に比べてイネーブル信号 IN3 = 「L」レベルの遅延信号により、受信機能が停止されると共に、インバータ INV 4 に接続されたトランジスタ TN10 が OFF 動作をすることで、受信停止時における差動増幅動作を停止させること、及び、インバータ INV 4 の増幅動作を併せて停止させることが可能となる。

【0151】これにより、第 3 の実施例に比べて、受信停止時の差動増幅回路 117 の電力消費を、より一層抑制

10

20

30

40

50

すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(18) 第18の実施例の説明

図26は、本発明の第18の実施例に係る差動入力型受信回路の構成図である。図26において、第18の実施例では第4の実施例のインバータ INV 1 に n 型の電界効果トランジスタ TN10 が設けられ、差動増幅回路118 を構成する。

【0152】なお、n 型の電界効果トランジスタ TN10 の接続方法については、第15、16の実施例と同様である。また、定電流源用トランジスタ TN1、差動対トランジスタ TN3、TN4、バイアス回路11A、インバータ INV 2、インバータ INV 4、n 型の電界効果トランジスタ TN54、TN64、TN74、TN84 及び3ステート回路12については、第4、第16の実施例と同様のためその説明を省略する。

【0153】このようにして、本発明の第18の実施例に係る差動入力型受信回路によれば、第4の実施例に係るインバータ INV 1 に、図26に示すような n 型の電界効果トランジスタ TN10 が設けられ、差動増幅回路118 が構成される。また、トランジスタ TN10 がイネーブル信号 IN3 に基づいて制御される。例えば、入力信号 IN1、IN2 の受信停止をする場合には、第4の実施例と同様に、トランジスタ TN54、TN64 にイネーブル信号 IN3 = 「L」レベルの反転信号を供給することにより、該トランジスタ TN54、TN64 が ON 動作をし、差動対トランジスタ TN3、TN4 のゲートが接地線 GND レベルに固定される。また、トランジスタ TN74、TN84 にイネーブル信号 IN3 = 「L」レベルを供給することにより、該トランジスタ TN74、TN84 が OFF 動作をし、両入力信号 IN1、IN2 の供給が断たれ、差動増幅回路41の増幅機能が停止され、同時に、イネーブル信号 IN3 = 「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0154】ここで、トランジスタ TN10 にイネーブル信号 IN3 = 「L」レベルが供給され、該トランジスタ TN10 が OFF 動作をすることで、インバータ INV 1 の増幅機能が停止される。なお、入力信号 IN1、IN2 を受信する場合には、第4の実施例と同様に、トランジスタ TN54、TN64 にイネーブル信号 IN3 = 「H」レベルの反転信号を供給することにより、該トランジスタ TN54、TN64 が OFF 動作をし、差動対トランジスタ TN3、TN4 のゲートが接地線 GND レベルから開放される。また、トランジスタ TN74、TN84 にイネーブル信号 IN3 = 「H」レベルを供給することにより、該トランジスタ TN74、TN84 が ON 動作をし、両入力信号 IN1、IN2 が差動対トランジスタ TN3、TN4 のゲートにそれぞれ供給され、両入力信号 IN1、IN2 が差動増幅される。

【0155】ここで、トランジスタ TN10 にイネーブル

信号 IN3 = 「H」レベルが供給することにより、該トランジスタ TN10 が ON 動作をし、インバータ INV 4 の増幅機能が維持され、また、差動増幅された信号レベルがイネーブル信号 IN3 = 「H」レベルに基づいて3ステート回路12から内部回路に出力される。このため、第4の実施例に比べてイネーブル信号 IN3 = 「L」レベルの遅延信号により、受信機能が停止されると共に、インバータ INV 4 に接続されたトランジスタ TN10 が OFF 動作をすることで、受信停止時における差動増幅動作を停止させること、及び、インバータ INV 4 の増幅動作を併せて停止させることが可能となる。

【0156】これにより、第4の実施例に比べて、受信停止時の差動増幅回路118の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(19) 第19の実施例の説明

図27は、本発明の第19の実施例に係る差動入力型受信回路の構成図である。図27において、第19の実施例では第1の実施例のインバータ INV 1 に p 型の電界効果トランジスタ TP6 が設けられ、差動増幅回路119 を構成する。

【0157】すなわち、図23において、p 型の電界効果トランジスタ TP6 は機能制御素子13の他の一例であり、インバータ INV 1 のトランジスタ TP3、TN2 間に接続される。また、トランジスタ TP6 のゲートには、イネーブル信号 IN3 の反転信号が供給される。なお、定電流源用トランジスタ TN1、差動対トランジスタ TN3、TN4、バイアス回路11A 及び3ステート回路12については、第1の実施例と同様のためその説明を省略する。

【0158】このようにして、本発明の第19の実施例に係る差動入力型受信回路によれば、第1の実施例に係るインバータ INV 1 に、図27に示すような p 型の電界効果トランジスタ TP6 が設けられ、差動増幅回路119 が構成される。また、トランジスタ TP6 がイネーブル信号 IN3 の反転信号に基づいて制御される。例えば、入力信号 IN1、IN2 の受信停止をする場合には、第1の実施例と同様に、トランジスタ TN51 のゲートにイネーブル信号 IN3 = 「L」レベルを供給することにより、該トランジスタ TN51 が OFF 動作をし、差動増幅機能が停止され、同時に、イネーブル信号 IN3 = 「L」レベルに基づいて3ステート回路12の出力が「Z」状態にされる。

【0159】ここで、トランジスタ TP6 にイネーブル信号 IN3 の反転信号 = 「H」レベルが供給され、該トランジスタ TP6 が OFF 動作をすることで、インバータ INV 5 の増幅機能が停止される。なお、入力信号 IN1、IN2 を受信する場合には、トランジスタ TN51 のゲートにイネーブル信号 IN3 = 「H」レベルを供給することにより、該トランジスタ TN51 が ON 動作をし、差動増幅機能が維持され、入力信号 IN1、IN2 が差動増幅される。ここで、トランジスタ TP6 にイネーブル信号 IN3 の反転信号

10

20

30

40

50

＝「L」レベルが供給することにより、該トランジスタ TP6 が ON 動作をし、インバータ INV 5 の増幅機能が維持され、差動増幅された信号レベルがイネーブル信号 IN 3＝「H」レベルに基づいて 3 ステート回路 1 2 から内部回路に出力される。

【0160】このため、第 1 の実施例に比べてイネーブル信号 IN 3＝「L」レベルの遅延信号により、受信機能が停止されると共に、インバータ INV 5 に接続されたトランジスタ TP6 が OFF 動作をすることで、受信停止時における差動増幅動作を停止させること、及び、インバータ INV 5 の増幅動作を併せて停止させることが可能となる。

【0161】これにより、第 1 の実施例に比べて、受信停止時の差動増幅回路 119 の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(20) 第 20 の実施例の説明

図 28 は、本発明の第 20 の実施例に係る差動入力型受信回路の構成図である。図 28 において、第 20 の実施例では第 2 の実施例のインバータ INV 1 に p 型の電界効果トランジスタ TP6 が設けられ、差動増幅回路 120 を構成する。

【0162】なお、p 型の電界効果トランジスタ TP6 の接続方法については、第 19 の実施例と同様である。また、定電流源用トランジスタ TN1、差動対トランジスタ TN3、TN4、バイアス回路 11A、バイアス制御回路 13A、インバータ INV 4 及び 3 ステート回路 1 2 については、第 2 の実施例と同様のためその説明を省略する。このようにして、本発明の第 20 の実施例に係る差動入力型受信回路によれば、第 2 の実施例に係るインバータ INV 1 に、図 28 に示すような p 型の電界効果トランジスタ TP6 が設けられ、差動増幅回路 120 が構成される。また、トランジスタ TP6 がイネーブル信号 IN 3 の反転信号に基づいて制御される。

【0163】例えば、入力信号 IN 1、IN 2 の受信停止をする場合には、バイアス供給制御回路 13A にイネーブル信号 IN 3＝「L」レベルを供給することにより、第 2 の実施例と同様に、トランジスタ TN52 が OFF 動作をし、バイアス回路 11A と定電流源 I o との間を非接続状態にし、かつ、トランジスタ TN62 が ON 動作をすることで、トランジスタ TN1 に「L」レベルを供給する。これにより、差動増幅回路 120 の増幅機能が停止され、同時に、イネーブル信号 IN 3＝「L」レベルに基づいて 3 ステート回路 1 2 の出力が「Z」状態にされる。

【0164】ここで、トランジスタ TP6 にイネーブル信号 IN 3 の反転信号＝「H」レベルが供給され、該トランジスタ TP6 が OFF 動作をすることで、インバータ INV 5 の増幅機能が停止される。なお、入力信号 IN 1、IN 2 を受信する場合には、第 2 の実施例と同様に、バイアス供給制御回路 13A にイネーブル信号 IN 3＝「H」レベルを

供給することにより、該制御回路 13A が活性化をし、バイアス回路 11A と定電流源用 I o とが接続され、差動増幅回路 120 の増幅機能が維持され、入力信号 IN 1、IN 2 が差動増幅される。

【0165】ここで、トランジスタ TP6 にイネーブル信号 IN 3 の反転信号＝「L」レベルが供給することにより、該トランジスタ TP6 が ON 動作をし、インバータ INV 5 の増幅機能が維持され、差動増幅された信号レベルがイネーブル信号 IN 3＝「H」レベルに基づいて 3 ステート回路 1 2 から内部回路に出力される。このため、第 2 の実施例に比べてイネーブル信号 IN 3＝「L」レベルにより、受信機能が停止されると共に、インバータ INV 5 に接続されたトランジスタ TP6 が OFF 動作をすることで、受信停止時における差動増幅動作を停止させること、及び、インバータ INV 5 の増幅動作を併せて停止させることが可能となる。

【0166】これにより、第 2 の実施例に比べて、受信停止時の差動増幅回路 120 の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(21) 第 21 の実施例の説明

図 29 は、本発明の第 21 の実施例に係る差動入力型受信回路の構成図である。図 29 において、第 21 の実施例では第 3 の実施例のインバータ INV 1 に p 型の電界効果トランジスタ TP6 が設けられ、差動増幅回路 121 を構成する。

【0167】なお、p 型の電界効果トランジスタ TP6 の接続方法については、第 19、20 の実施例と同様である。また、定電流源用トランジスタ TN1、差動対トランジスタ TN3、TN4、バイアス回路 11A、p 型の電界効果トランジスタ TP43、n 型の電界効果トランジスタ TN53、インバータ INV 5 及び 3 ステート回路 1 2 については、第 3、第 20 の実施例と同様のためその説明を省略する。

【0168】このようにして、本発明の第 21 の実施例に係る差動入力型受信回路によれば、第 3 の実施例に係るインバータ INV 1 に、図 29 に示すような p 型の電界効果トランジスタ TP6 が設けられ、差動増幅回路 121 が構成される。また、トランジスタ TP6 がイネーブル信号 IN 3 の反転信号に基づいて制御される。例えば、入力信号 IN 1、IN 2 の受信停止をする場合には、トランジスタ TP43、TN53 のゲートにイネーブル信号 IN 3＝「L」レベルを供給することにより、トランジスタ TP43 が ON 動作をし、トランジスタ TN53 が OFF 動作をする。これにより、トランジスタ TP1、TP2 が OFF 動作をしてカレントミラー回路 11B が非活性化をし、差動増幅回路 113 の増幅機能が停止され、同時に、イネーブル信号 IN 3＝「L」レベルに基づいて 3 ステート回路 1 2 の出力が「Z」状態にされる。

【0169】ここで、トランジスタ TP6 にイネーブル信号 IN 3 の反転信号＝「H」レベルが供給され、該トラン

ジスタ TP6 が OFF 動作をすることで、インバータ INV 5 の増幅機能が停止される。なお、入力信号 IN 1, IN 2 を受信する場合には、第 3 の実施例と同様に、トランジスタ TP43, TN53 のゲートにイネーブル信号 IN 3 =

「H」レベルを供給することにより、トランジスタ TP43 が OFF 動作をし、トランジスタ TN53 が ON 動作をする。これにより、カレントミラー回路 11B が活性化をし、差動増幅回路 121 の増幅機能が維持され、入力信号 IN 1, IN 2 が差動増幅される。

【0170】ここで、トランジスタ TP6 にイネーブル信号 IN 3 の反転信号 = 「L」レベルが供給することにより、該トランジスタ TP6 が ON 動作をし、インバータ INV 5 の増幅機能が維持され、また、差動増幅された信号レベルがイネーブル信号 IN 3 = 「H」レベルに基づいて 3 ステート回路 12 から内部回路に出力される。このため、第 3 の実施例に比べてイネーブル信号 IN 3 = 「L」レベルにより、受信機能が停止されると共に、インバータ INV 5 に接続されたトランジスタ TP6 が OFF 動作をすることで、受信停止時における差動増幅動作を停止させること、及び、インバータ INV 5 の増幅動作を併せて停止させることが可能となる。

【0171】これにより、第 3 の実施例に比べて、受信停止時の差動増幅回路 121 の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(22) 第 22 の実施例の説明

図 30 は、本発明の第 22 の実施例に係る差動入力型受信回路の構成図である。図 30 において、第 22 の実施例では第 4 の実施例のインバータ INV 1 に p 型の電界効果トランジスタ TP6 が設けられ、差動増幅回路 122 を構成する。

【0172】なお、p 型の電界効果トランジスタ TP6 の接続方法については、第 19～21 の実施例と同様である。また、定電流源用トランジスタ TN1, 差動対トランジスタ TN3, TN4, バイアス回路 11A, インバータ INV 2, n 型の電界効果トランジスタ TN54, TN64, TN74, TN84, インバータ INV 5 及び 3 ステート回路 12 については、第 4, 第 21 の実施例と同様のためその説明を省略する。

【0173】このようにして、本発明の第 22 の実施例に係る差動入力型受信回路によれば、第 4 の実施例に係るインバータ INV 1 に、図 30 に示すような p 型の電界効果トランジスタ TP6 が設けられ、差動増幅回路 122 が構成される。また、トランジスタ TP6 がイネーブル信号 IN 3 の反転信号に基づいて制御される。例えば、入力信号 IN 1, IN 2 の受信停止をする場合には、第 4 の実施例と同様に、トランジスタ TN54, TN64 にイネーブル信号 IN 3 = 「L」レベルの反転信号を供給することにより、該トランジスタ TN54, TN64 が ON 動作をし、差動対トランジスタ TN3, TN4 のゲートが接地線 GND レベルに固

定される。また、トランジスタ TN74, TN84 にイネーブル信号 IN 3 = 「L」レベルを供給することにより、該トランジスタ TN74, TN84 が OFF 動作をし、両入力信号 IN 1, IN 2 の供給が断たれ、差動増幅回路 122 の増幅機能が停止され、同時に、イネーブル信号 IN 3 = 「L」レベルに基づいて 3 ステート回路 12 の出力が「Z」状態にされる。

【0174】ここで、トランジスタ TP6 にイネーブル信号 IN 3 の反転信号 = 「H」レベルが供給され、該トランジスタ TP6 が OFF 動作をすることで、インバータ INV 5 の増幅機能が停止される。なお、入力信号 IN 1, IN 2 を受信する場合には、第 4 の実施例と同様に、トランジスタ TN54, TN64 にイネーブル信号 IN 3 = 「H」レベルの反転信号を供給することにより、該トランジスタ TN54, TN64 が OFF 動作をし、差動対トランジスタ TN3, TN4 のゲートが接地線 GND レベルから開放される。また、トランジスタ TN74, TN84 にイネーブル信号 IN 3 = 「H」レベルを供給することにより、該トランジスタ TN74, TN84 が ON 動作をし、両入力信号 IN 1, IN 2 が差動対トランジスタ TN3, TN4 のゲートにそれぞれ供給され、両入力信号 IN 1, IN 2 が差動増幅される。

【0175】ここで、トランジスタ TP6 にイネーブル信号 IN 3 の反転信号 = 「L」レベルが供給することにより、該トランジスタ TP6 が ON 動作をし、インバータ INV 5 の増幅機能が維持され、また、差動増幅された信号レベルがイネーブル信号 IN 3 = 「H」レベルに基づいて 3 ステート回路 12 から内部回路に出力される。このため、第 4 の実施例に比べてイネーブル信号 IN 3 = 「L」レベルにより、受信機能が停止されると共に、インバータ INV 5 に接続されたトランジスタ TP6 が OFF 動作をすることで、受信停止時における差動増幅動作を停止させること、及び、インバータ INV 5 の増幅動作を併せて停止させることが可能となる。

【0176】これにより、第 4 の実施例に比べて、受信停止時の差動増幅回路 122 の電力消費を、より一層抑制すること、及び、性能向上を図ることが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化及び信頼性の向上を図ることが可能となる。

(23) 第 23 の実施例の説明

図 31 は、本発明の第 3 の実施例に係る差動入力型受信回路の説明図であり、図 31 (A) はその構成図であり、図 31 (A) はその動作説明図をそれぞれ示している。

【0177】図 31 (A) において、第 1～第 22 の実施例と異なるのは第 23 の実施例では 3 ステート回路 12 に遅延回路 14 が接続され、イネーブル信号 IN 3 が遅延され、その遅延信号 IND が 3 ステート回路 12 に供給されるものである。すなわち、図 31 (A) において、遅延回路 14 はインバータ素子を複数段接続した回路であり、イネーブル信号 IN 3 の供給点と 3 ステート回路 12 との間に接続される。また、差動増幅回路 10 には本発明の

第1～第22の実施例に係る差動増幅回路11, 21, 31, 41, 51, 61, 71, 81, 91, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122が適用される。なお、本発明の第7～第14の実施例に係る差動増幅回路71, 81, 91, 110, 111, 112, 113, 114については、遅延回路14を共用しても良い。例えば、第7～第10の実施例に係る差動増幅回路71, 81, 91, 110のn型の電界効果トランジスタTN9のゲートにインバータINV3を介して遅延回路14を経由した遅延信号INDを供給する。また、第11～第14の実施例に係る差動増幅回路111, 112, 113, 114のp型の電界効果トランジスタTP5のゲートに遅延回路14を経由した遅延信号INDを供給する。なお、差動増幅回路素子及び3ステート回路12については、第1～第22の実施例と同様のためその説明を省略する。

【0178】このようにして、本発明の第23の実施例に係る差動入力型受信回路によれば、図31(A)に示すように、3ステート回路12に遅延回路14が接続され、該回路14によりイネーブル信号IN3が遅延される。このため、第1～第22の実施例に係る差動増幅回路11, 21, 31, 41, 51, 61, 71, 81, 91, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122のn型の電界効果トランジスタTN1, TN53, TN54, TN64, TN74, TN84, p型の電界効果トランジスタTP43, TP6及びバイアス供給制御回路11A等の機能制御素子13に対し、3ステート回路12よりも早くイネーブル信号IN3が供給され、該差動増幅回路21の動作点aの電位レベルがインバータINV1, INV4, INV5の閾値電圧 V_{th} に達してから、遅延されたイネーブル信号IN3を3ステート回路12に供給することができる。

【0179】これにより、当該差動入力型受信回路の受信停止状態から動作状態に移行する際に、差動増幅回路11, 21, 31, 41, 51, 61, 71, 81, 91, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122が安定な動作に遷移したのちに、出力ハイ・インピーダンス状態が解除され、より一層安定した入力信号IN1, IN2を内部回路に取り込むことが可能となり、当該差動入力型受信回路を組み込んだ通信モデム用インタフェース回路等の信頼性の向上に寄与するところが大きい。

【0180】

【発明の効果】以上説明したように、本発明の本発明の第1の差動入力型受信回路によれば、n型の電界効果トランジスタから成る機能制御素子が差動増幅回路に接続され、該差動増幅回路の増幅機能が動作許可信号に基づいて制御される。このため、当該n型の電界効果トランジスタのゲートに所定レベルの動作許可信号を供給すると、差動入力型受信回路の受信機能を停止させると共

に、その入力部に信号が供給される状態であっても、差動増幅回路のトランジスタ動作を強制的に停止させることが可能となる。

【0181】また、本発明の第2の差動入力型受信回路によれば、バイアス供給制御回路から成る機能制御素子が差動増幅回路の定電流源とバイアス回路との間に接続される。このため、当該バイアス供給制御回路に、所定レベルの動作許可信号を供給すると、第1の差動入力型受信回路と同様に、受信停止時の差動増幅回路のトランジスタ動作を強制的に停止させることが可能となる。

【0182】さらに、本発明の第3の差動入力型受信回路によれば、差動増幅回路のカレントミラー回路の共通ゲートと高電位側の電源線との間にp型の電界効果トランジスタが接続され、また、その共通ゲートと差動対トランジスタのとの間に、n型の電界効果トランジスタが接続され、両トランジスタが動作許可信号に基づいて制御される。

【0183】このため、当該n, p型の電界効果トランジスタのゲートに、所定レベルの動作許可信号を供給すると、第1, 第2の差動入力型受信回路と同様に、差動入力型受信回路の受信機能を停止させると共に、その入力部に信号が供給される状態であっても、差動増幅回路のトランジスタ動作を強制的に停止させることが可能となる。

【0184】また、本発明の第4の差動入力型受信回路によれば、差動対トランジスタと低電位側の電源線と入力信号の供給部との間に第1のスイッチング回路が接続され、それが動作許可信号及び該動作許可信号の反転信号に基づいて制御される。このため、当該第1のスイッチング回路に所定レベルの動作許可信号を供給すると、受信機能を停止させると共に、第1～第3の差動入力型受信回路と異なり、入力部から切り離された差動対トランジスタの入力部を接地線レベルに固定させることができる。

【0185】さらに、本発明の第5の差動入力型受信回路によれば、差動対トランジスタとカレントミラー回路との間に第2のスイッチング回路が接続され、それが動作許可信号又は動作許可信号の反転信号に基づいて制御される。このため、当該第2のスイッチング回路に所定レベルの動作許可信号を供給すると、第1～第4の差動入力型受信回路と同様に、差動増幅回路の受信機能を停止させると共に、第2のスイッチング回路をスイッチ動作により、受信停止時における差動増幅回路の増幅動作を停止させることが可能となる。

【0186】また、本発明の第6の差動入力型受信回路によれば、差動増幅回路の出力回路に、n型の電界効果トランジスタ又はp型の電界効果トランジスタが接続され、両トランジスタが、動作許可信号又は動作許可信号の反転信号に基づいて制御される。このため、当該n型, p型の電界効果トランジスタに所定レベルの動作許

可信号を供給すると、受信機能が停止されると共に、第1～第5の差動入力型受信回路に比べて出力回路に接続されたトランジスタのスイッチ動作により、受信停止時における差動増幅回路の増幅動作を停止させること、及び、出力回路の増幅動作を併せて停止させることが可能となる。

【0187】さらに、本発明の第7の差動入力型受信回路によれば、本発明の第1～第6の差動入力型受信回路において、出力制御回路や機能制御素子に遅延回路が接続され、その遅延された動作許可信号に基づいて出力制御回路や機能制御素子が制御される。このため、当該出力制御回路や機能制御素子に所定レベルの遅延信号を供給すると、本発明の第1～第6の差動入力型受信回路に比べて、差動増幅回路が安定な動作に遷移したのちに、出力ハイ・インピーダンス状態が解除され、より一層安定した入力信号を内部回路に取り込むことが可能となる。

【0188】これにより、受信機能の停止状態時の差動増幅回路の電力消費を極力抑制することが可能となり、当該差動入力型受信回路を組み込んだ電子機器の消費電力の低減化を図ることが可能となる。このことで、当該差動入力型受信回路を組み込んだ通信モデム用インタフェース回路等の信頼性の向上に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明に係る差動入力型受信回路の原理図（その1）である。

【図2】本発明に係る差動入力型受信回路の原理図（その2）である。

【図3】本発明に係る差動入力型受信回路の原理図（その3）である。

【図4】本発明に係る差動入力型受信回路の原理図（その4）である。

【図5】本発明の第1の実施例に係る差動入力型受信回路の構成図及び動作説明図である。

【図6】本発明の各実施例に係る差動入力型受信回路の補足説明図である。

【図7】本発明の第2の実施例に係る差動入力型受信回路の構成図である。

【図8】本発明の第2の実施例に係る差動入力型受信回路の動作説明図である。

【図9】本発明の第3の実施例に係る差動入力型受信回路の構成図である。

【図10】本発明の第3の実施例に係る差動入力型受信回路の動作説明図である。

【図11】本発明の第4の実施例に係る差動入力型受信回路の構成図である。

【図12】本発明の第4の実施例に係る差動入力型受信回路の動作説明図である。

【図13】本発明の第5の実施例に係る差動入力型受信回

路の構成図及び動作説明図である。

【図14】本発明の第6の実施例に係る差動入力型受信回路の構成図及び動作説明図である。

【図15】本発明の第7の実施例に係る差動入力型受信回路の構成図である。

【図16】本発明の第8の実施例に係る差動入力型受信回路の構成図である。

【図17】本発明の第9の実施例に係る差動入力型受信回路の構成図である。

10 【図18】本発明の第10の実施例に係る差動入力型受信回路の構成図である。

【図19】本発明の第11の実施例に係る差動入力型受信回路の構成図である。

【図20】本発明の第12の実施例に係る差動入力型受信回路の構成図である。

【図21】本発明の第13の実施例に係る差動入力型受信回路の構成図である。

【図22】本発明の第14の実施例に係る差動入力型受信回路の構成図である。

20 【図23】本発明の第15の実施例に係る差動入力型受信回路の構成図及び動作説明図である。

【図24】本発明の第16の実施例に係る差動入力型受信回路の構成図及び動作説明図である。

【図25】本発明の第17の実施例に係る差動入力型受信回路の構成図である。

【図26】本発明の第18の実施例に係る差動入力型受信回路の構成図である。

【図27】本発明の第19の実施例に係る差動入力型受信回路の構成図である。

30 【図28】本発明の第20の実施例に係る差動入力型受信回路の構成図である。

【図29】本発明の第21の実施例に係る差動入力型受信回路の構成図である。

【図30】本発明の第22の実施例に係る差動入力型受信回路の構成図である。

【図31】本発明の第23の実施例に係る差動入力型受信回路の構成図である。

【図32】従来例に係る差動入力型受信回路の説明図である。

【符号の説明】

11…差動増幅回路、

11A…バイアス回路、

11B, 11C…カレントミラー回路、

11D…出力回路、

12…出力制御手段（3ステート回路）、

13…機能制御素子、

13A…バイアス供給制御回路、

13B…第1のスイッチング回路、

13C…第2のスイッチング回路、

50 14…遅延回路、

(23)

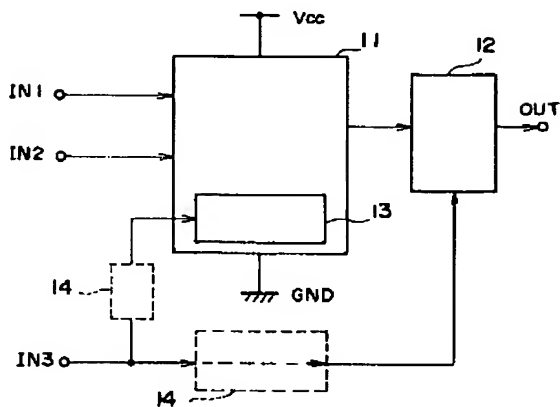
特開平6-260845

43

TN…n型の電界効果トランジスタ、
TP…p型の電界効果トランジスタ、
VCC…高電位側の電源線、

【図1】

本発明に係る差動入力型受信回路の原理図（その1）



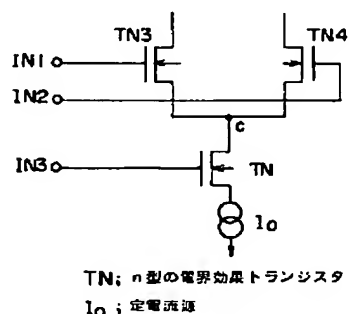
11 ; 差動増幅回路
12 ; 出力制御回路
13 ; 機能制御素子
14 ; 遅延回路
IN1, IN2 ; 入力信号
IN3 ; 動作許可信号

44

GND…低電位側の電源線（接地線）、
IN1, IN2…入力信号、
IN3…動作許可信号。

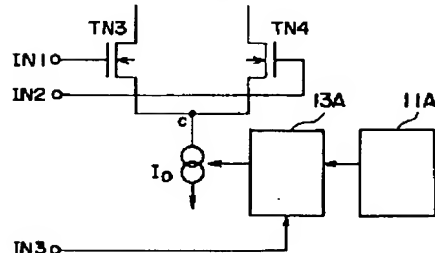
【図2】

本発明に係る差動入力型受信回路の原理図（その2）



TN; n型の電界効果トランジスタ
Io ; 定電流源

(A)

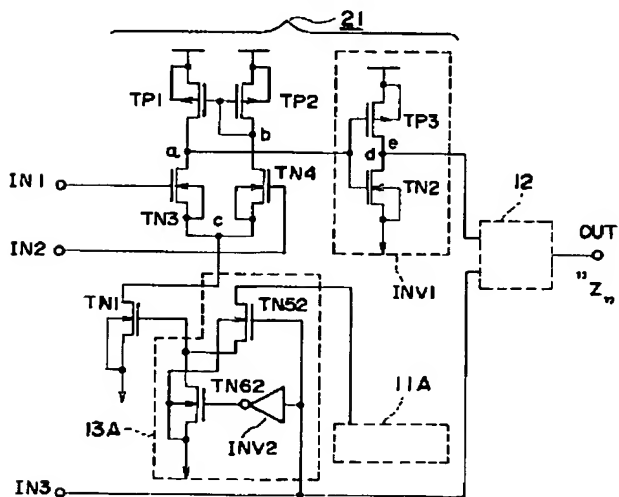


11A ; バイアス回路
13A ; バイアス供給制御回路

(B)

【図7】

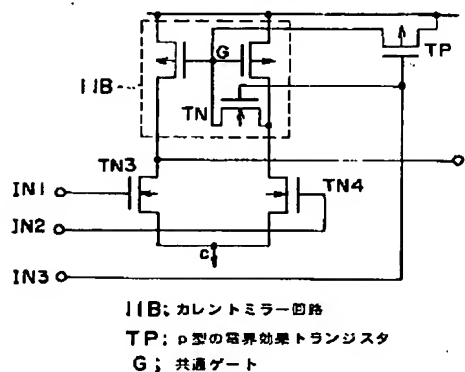
本発明の第2の実施例に係る差動入力型受信回路の構成図



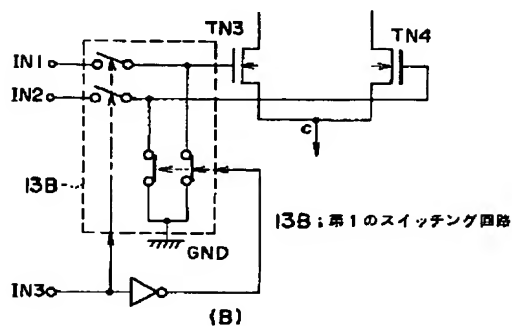
21 ; 差動増幅回路

【図3】

本発明に係る差動入力型受信回路の原理図(その3)



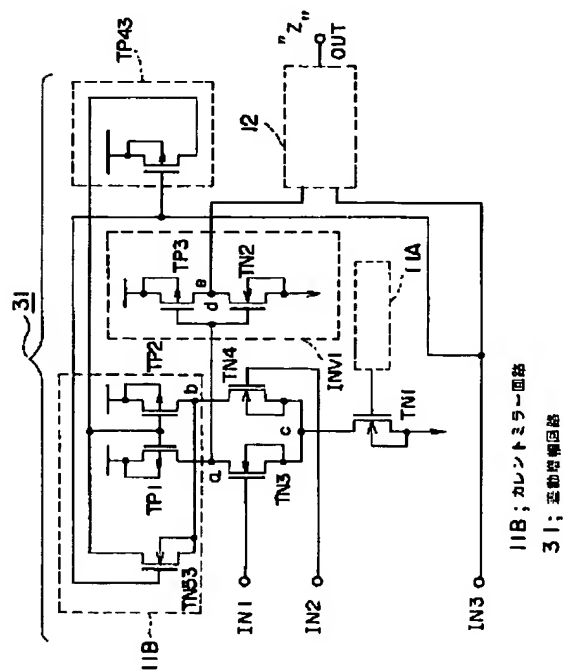
(A)



(B)

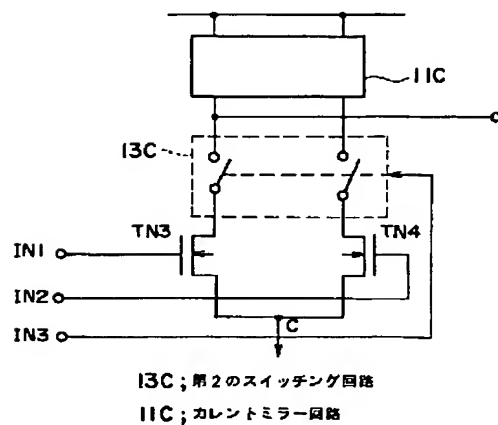
【図9】

本発明の第3の実施例に係る差動入力型受信回路の構成図

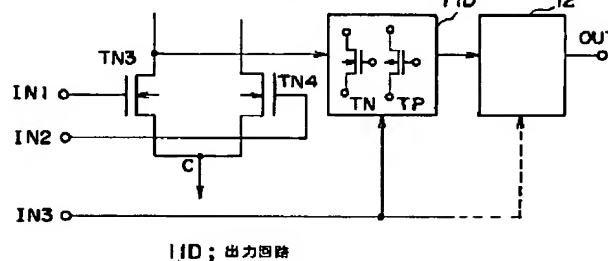


【図4】

本発明に係る差動入力型受信回路の原理図(その4)

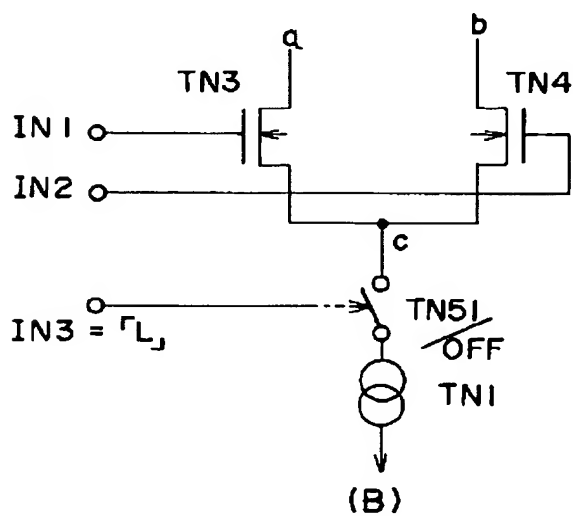


(A)



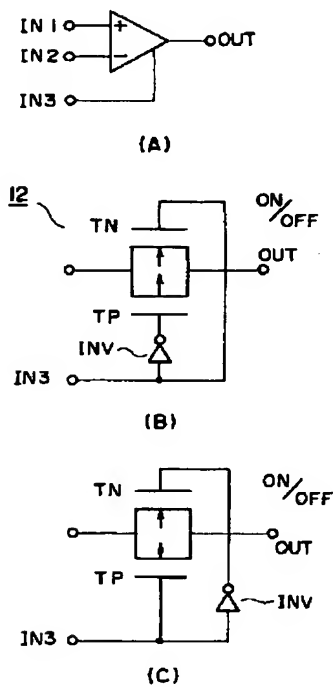
(B)

本発明の第 1 の実施例に係る差動入力型受信回路
の構成図及び動作説明図



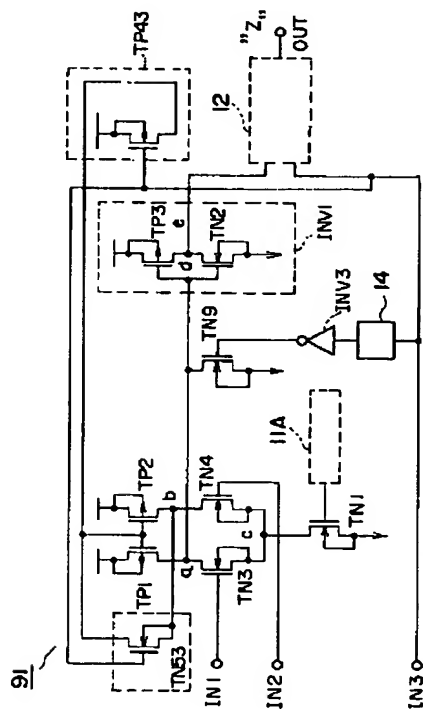
【図6】

本発明の各実施例に係る差動入力型受信回路の補足説明図



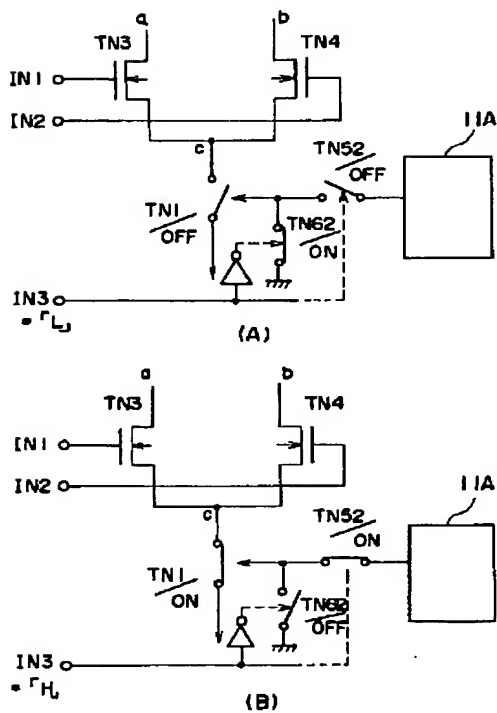
【図17】

本発明の第9の実施例に係る差動入力型受信回路の構成図



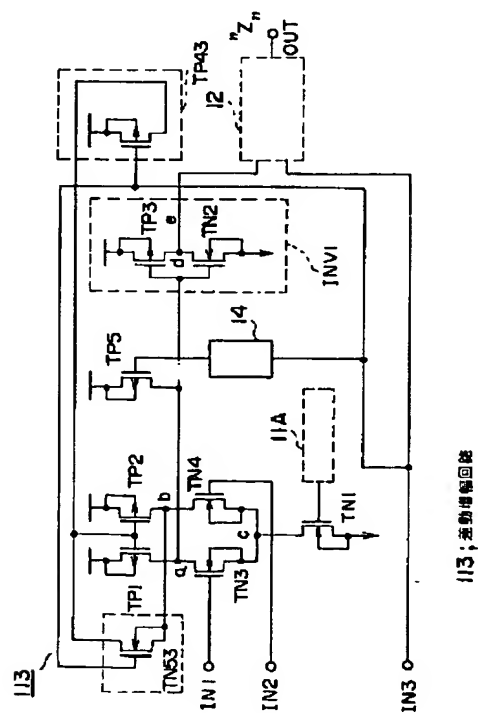
【図8】

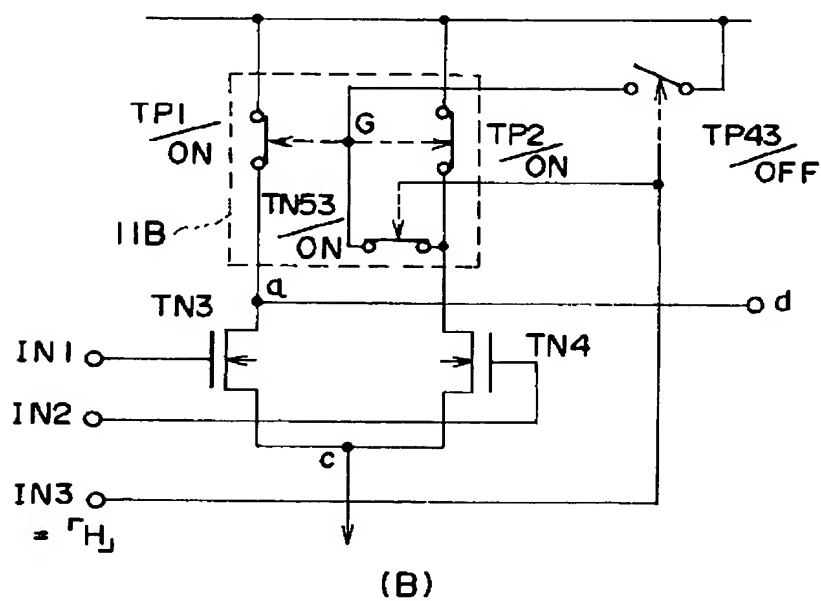
本発明の第2の実施例に係る差動入力型受信回路の動作説明図



【図21】

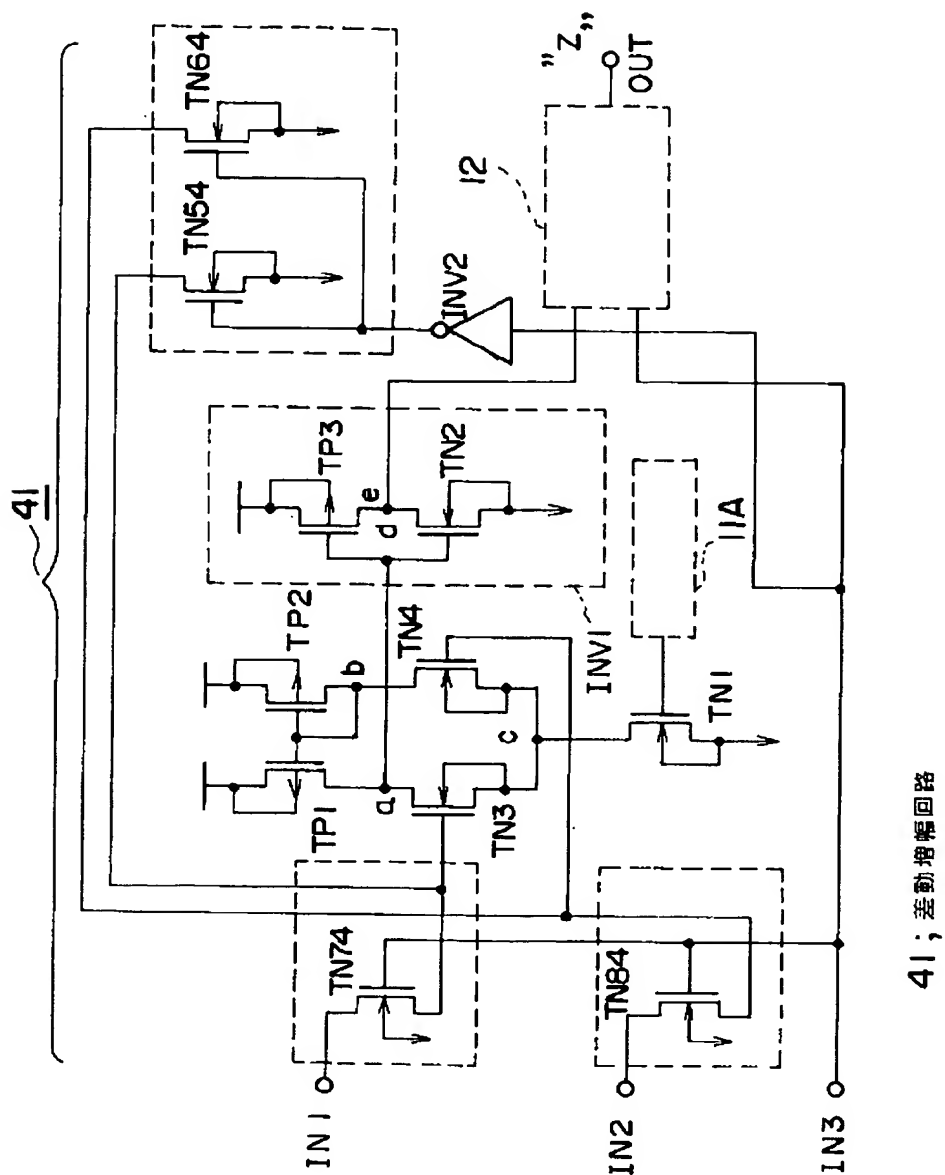
本発明の第13の実施例に係る差動入力型受信回路の構成図





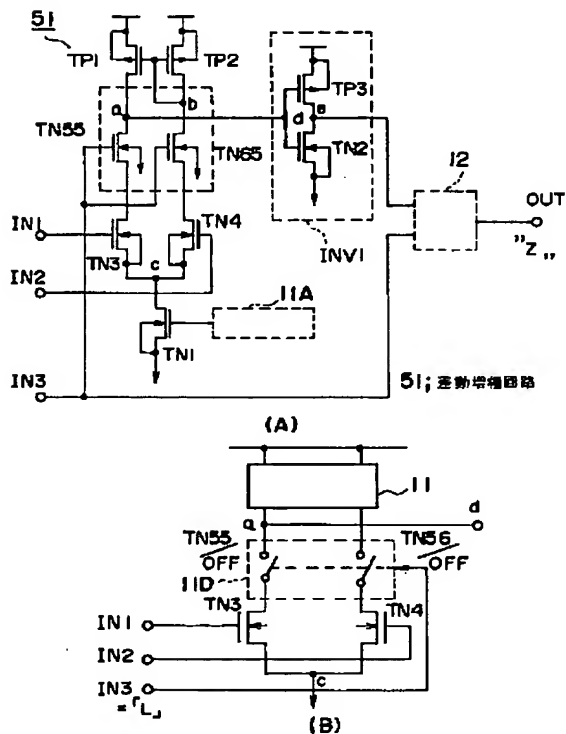
【図11】

本発明の第4の実施例に係る差動入力型受信回路の構成図



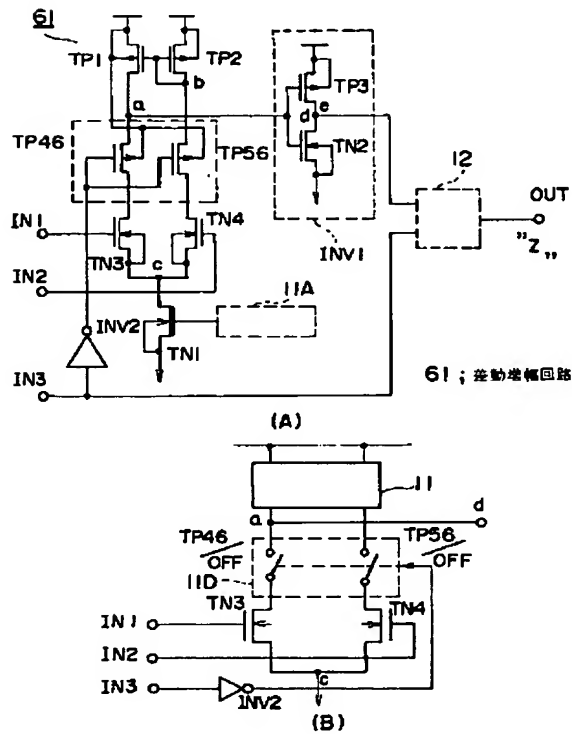
【図13】

本発明の第5の実施例に係る差動入力型受信回路の構成図及び動作説明図



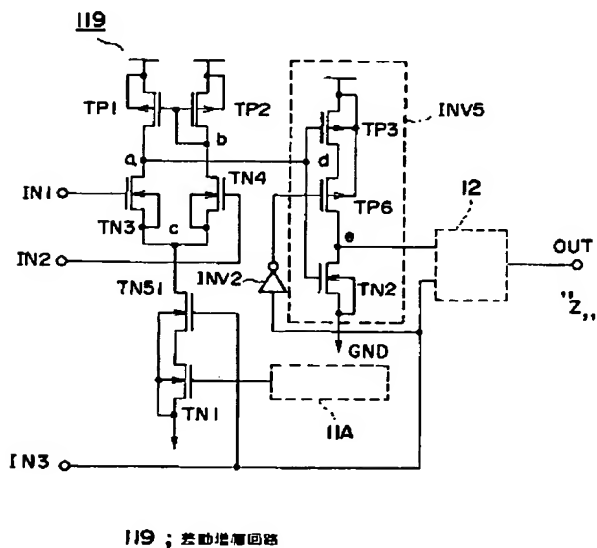
【図14】

本発明の第6の実施例に係る差動入力型受信回路の構成図及び動作説明図



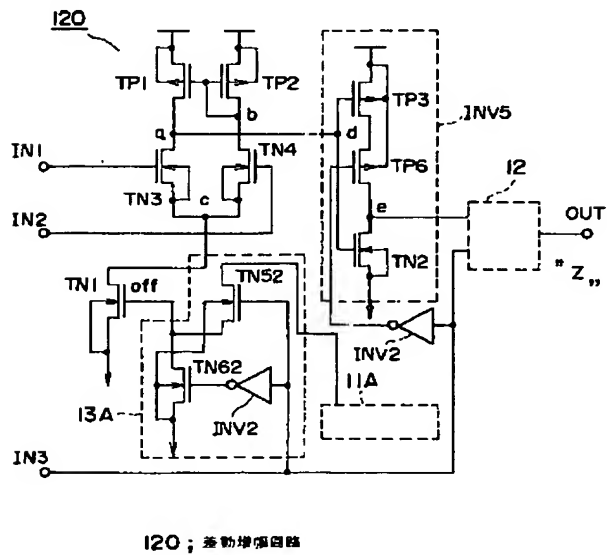
【図27】

本発明の第19の実施例に係る差動入力型受信回路の構成図



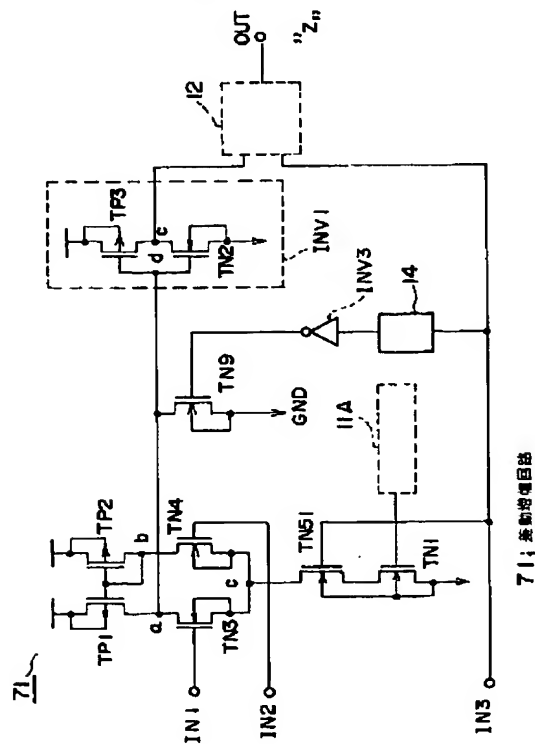
【図28】

本発明の第20の実施例に係る差動入力型受信回路の構成図



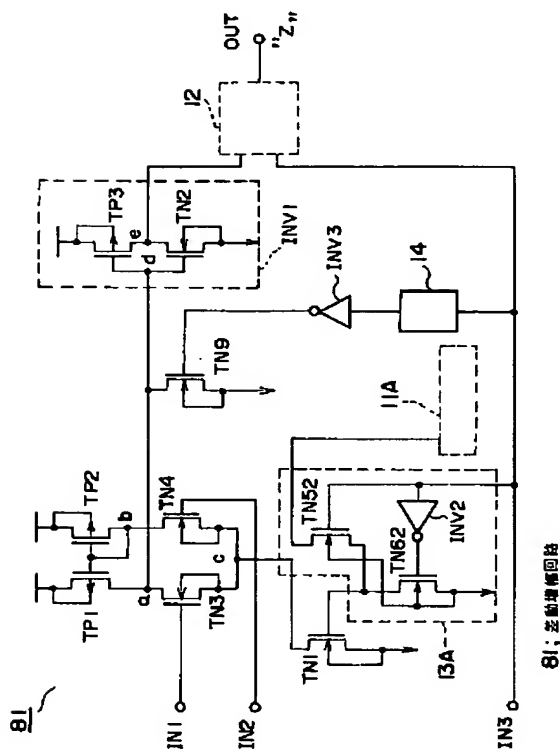
【図15】

本発明の第7の実施例に係る差動入力型受信回路の構成図



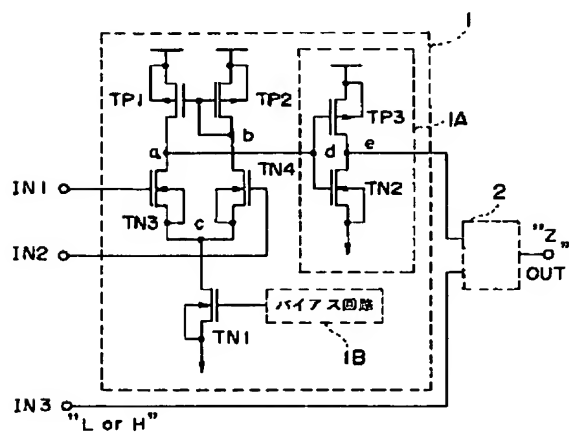
【図16】

本発明の第8の実施例に係る差動入力型受信回路の構成図



【図32】

従来例に係る差動入力型受信回路の説明図



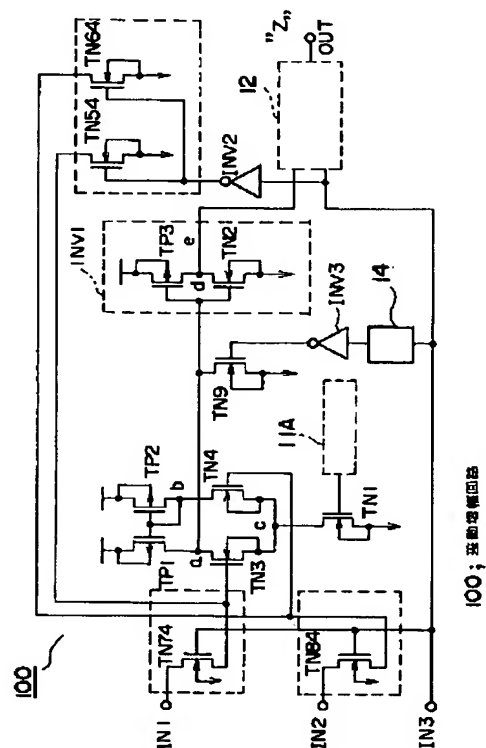
1; 差動増幅回路

2; ステート回路

1A; インバータ

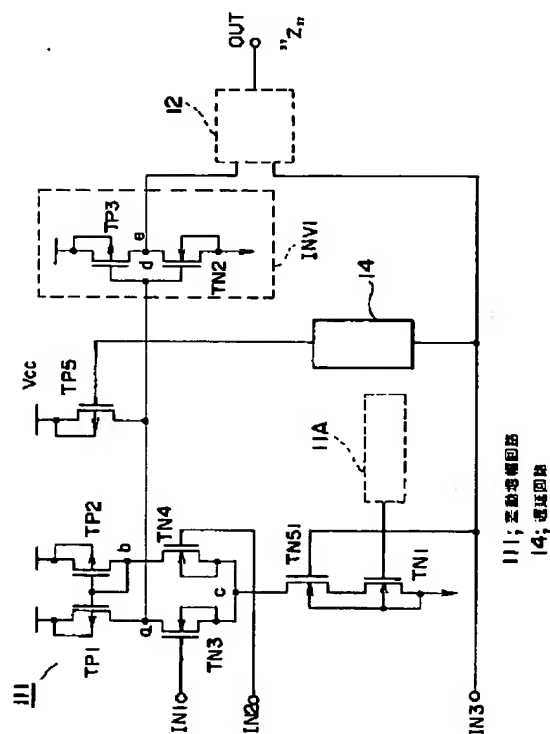
【图 18】

本発明の第 10 の実施例に係る差動入力型受信回路の構成図



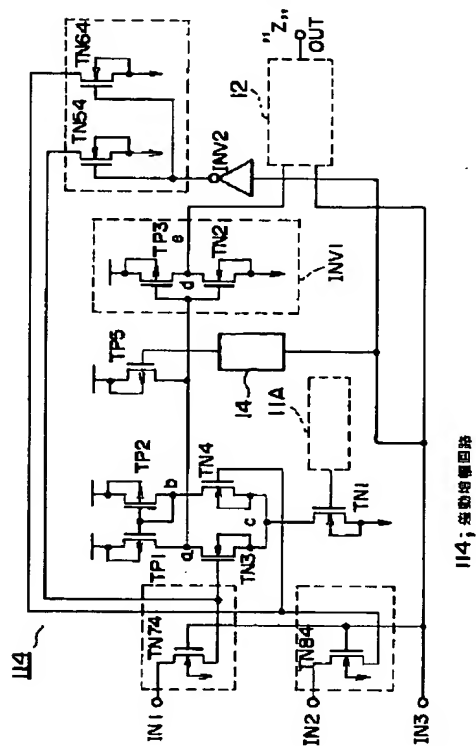
【図 19】

本発明の第 11 の実施例に係る差動入力型受信回路の構成図



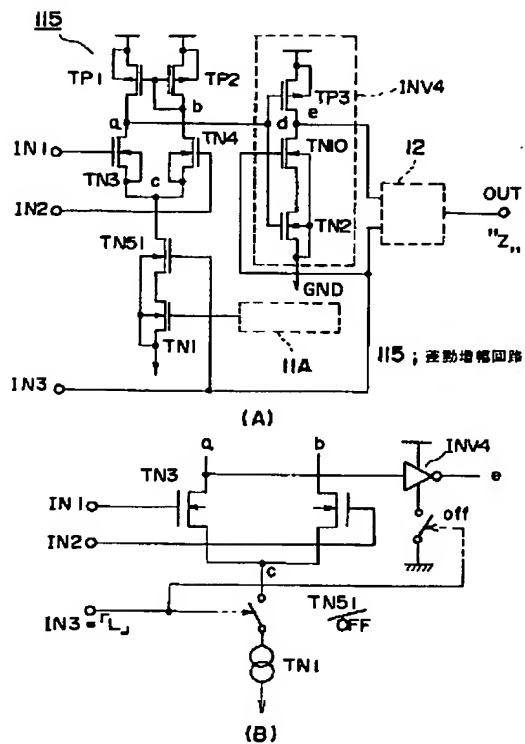
【図 2 2】

本発明の第 14 の実施例に係る差動入力型受信回路の構成図



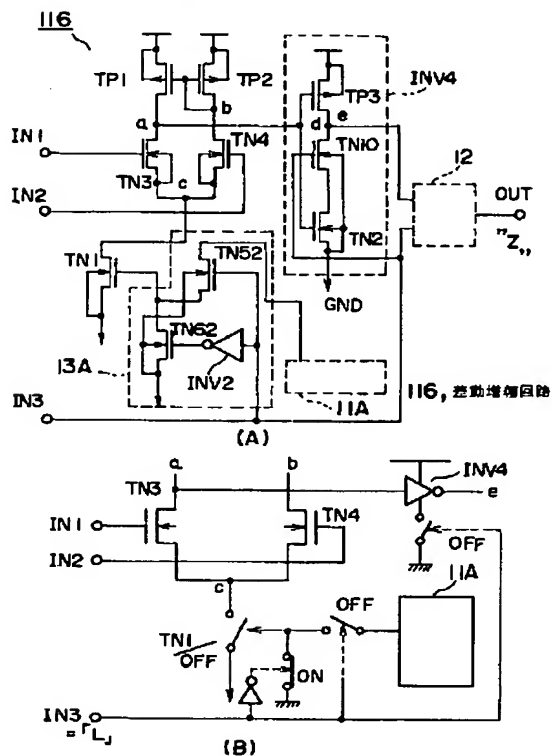
【図 2 3】

本発明の第 15 の実施例に係る差動入力型受信回路の構成図及び動作説明図



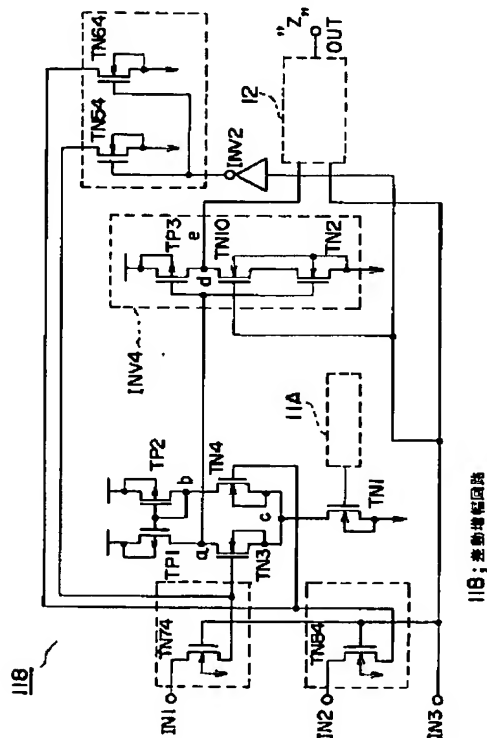
【圖 24】

本発明の第 16 の実施例に係る差動入力型受信回路の構成図及び動作説明図



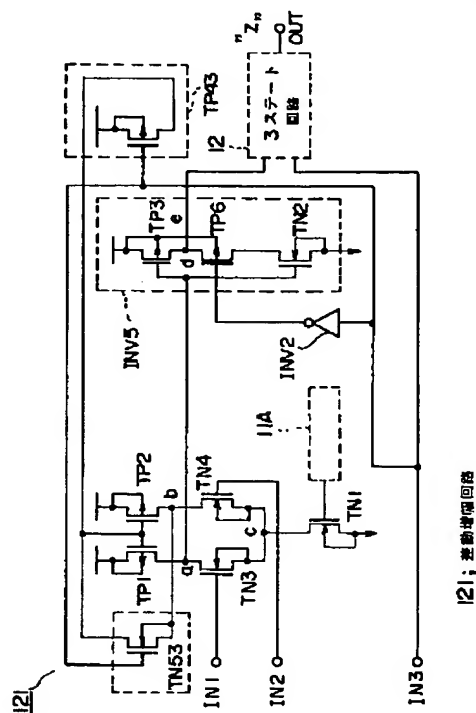
【图 2 6】

本発明の第 18 の実施例に係る差動入力型受信回路の構成図



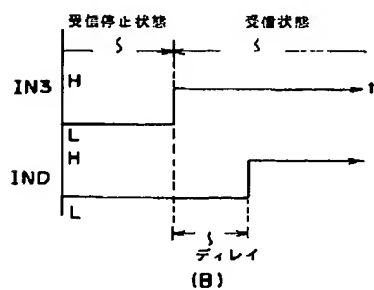
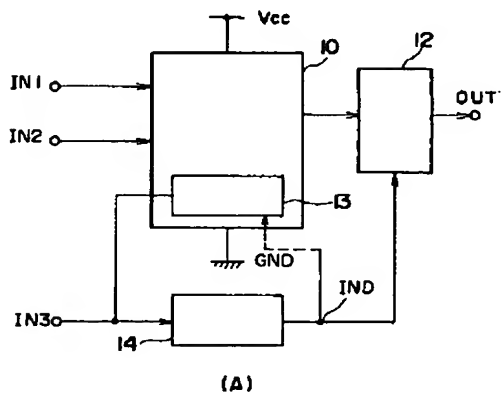
【图 29】

本発明の第 21 の実施例に係る差動入力型受信回路の構成図



【图 3 1】

本発明の第 23 の実施例に係る差動入力型受信回路の構成図



フロントページの続き

(51) Int. Cl.⁵

H 0 3 K 19/0175

H 0 4 L 25/02

識別記号

庁内整理番号

F I

技術表示箇所

R 9199-5K